

アニール技術を用いた  
高性能シリコン薄膜トランジスタ  
に関する研究

1991年7月

野口 隆

# 概 要

本論文は、ポリSi薄膜の電気的特性を向上させるアニール技術と高性能薄膜トランジスタの開発、研究に関するものである。

Si薄膜トランジスタ(TFT; Thin Film Transistor)は、近年、液晶ディスプレイ(LCD; Liquid Crystal Display)等の大面積LSIに実用化されようとしており、また高密度SRAM(Static Random Access Memory)にも応用されようとしている。ポリSi薄膜はアモルファスSi薄膜に比べ、高移動度を得ることができるため、より高性能化が可能となる。

本論文では、Si薄膜の電気的特性を向上させるアニール条件を追求し、その解析を行い、作製した高性能TFTに関する研究開発の成果について述べている。ポリSi薄膜の電気的特性は、主として膜中の結晶粒径と粒界や粒内の欠陥により影響されるので、これらの物理的パラメータである結晶粒径と粒界や粒内欠陥をアニール技術を用いて制御し、膜中の結晶性を向上させ、その結果を解析した。また、これらのSi膜によりTFTを試作し、高性能な特性が得られることを示した。さらに、この結果により、高温および低温プロセス用として、TFTの各種応用の可能性があることを示している。

第1章においては、TFT研究の歴史の概略と研究目的を述べている。

第2章では、Si薄膜の導電機構およびTFTの電気的特性を理解するために必要な知識を述べている。特に、ポリSiTFTの電気的特性は、膜中の粒界トラップ密度によって大きく影響されるので、これをアニール技術その他によって低減することが重要な問題となる。

第3章では、通常の減圧CVD(Chemical Vapor Deposition)法で作製したポリSi薄膜に対する熱酸化の効果を述べている。ポリSi薄膜を電気炉中で熱酸化を行うことにより電気的特性が向上する事が分かった。これは高温熱処理と薄膜化が同時に生じるためで、高温の効果は粒径成長を促進させ、同時に粒界の結晶性を改善させる。熱酸化は同時に薄膜化を生じるので、実効トラップ密度を減少させ、特性が向上することが分かってきた。しかし、このままでは粒径の大きさが限られるため、飛躍的な電気的特性の向上は困難である。

第4章、第5章では、アモルファス化したSi薄膜の低温固相アニールによる大粒径ポリSiの発生と電気的特性の関連、また得られるTFT特性に関して述べている。Si<sup>+</sup>イオン注入によりアモルファス化したSi薄膜を電気炉中で低温固相成長すると、樹枝状の大粒径



( $\sim 1\ \mu\text{m}$ ) ポリSiが平坦性よく得られる事が分かった。粒径はポリSiの電気的特性に顕著に反映するので、この薄膜を更に超薄膜化( $< 800\ \text{\AA}$ )し、 $600^\circ\text{C}$ の低温プロセスによりn型のTFTを作製してみた。この結果、従来電界効果移動度として約 $30\ \text{cm}^2\ \text{V}^{-1}\text{s}^{-1}$ 以上の値を再現性よく得ることは不可能であったのが、 $60\ \text{cm}^2\ \text{V}^{-1}\text{s}^{-1}$ と高い値を得る事ができた。このように、 $\text{Si}^+$ イオン注入によりSi膜を異なったアモルファス相にし、続いて低温固相成長を行うことで、大粒径の樹枝状ポリSiが得られ、この膜によりつくられたTFTは高性能な特性を示した。この $\text{Si}^+$ イオン注入されたアモルファス状態および膜が結晶化する過程の解析を、TEM(透過電子顕微鏡)、ESR(電子スピン共鳴)、導電率(電気伝導度)、紫外(UV)反射スペクトルピーク測定により行った。

イオン注入後のSi膜は無秩序な状態特有の広域ホッピング導電特性を示した。結晶化は、低い $\text{Si}^+$ イオンドーズほどはやく起こるが、核発生がはやい為に、到達粒径は小さい。逆に、高い $\text{Si}^+$ イオンドーズほど、粒径はより大きくなる事が明らかになった。多結晶化後、導電機構は活性化型に変わり、また光導電を示し、対応してESR密度は減少した。これらの事実は、ポリSi膜の電気的特性が著しく向上したことを示す。この大粒径樹枝状ポリSi膜を用いて作製したTFTの電界効果キャリア移動度を広い温度範囲で調べてみると、その最大電界効果移動度は、低温( $77\ \text{K}$ )より高温までほぼ一定の値を示した。この事より、固相成長による大粒径ポリSi膜の粒界トラップ密度は、より低くなっていると考えられる。このポリSi膜で作製したn型とp型のTFTで構成したCMOSリングオシレータを発振させ、その遅延時間を測定してみると、前述の移動度の測定と同じ温度範囲で一定の値を示した。この興味深い特性により、広範な温度範囲での応用が期待できる。

上述したポリSiTFTは、高移動度などの優れた特性を示すため、駆動用走査回路を一体化した液晶TVをはじめとする大面積LSIへの応用が可能となる。一方、ULSIとしては、寄生容量が少ないSOI(Silicon On Insulator)構造として高速LSI、又三次元ICへの応用が考えられる。三次元ICまたは低融点ガラス上(低コスト)に高性能なTFTをつくる場合、 $600^\circ\text{C}$ 前後のプロセスが要求され、高移動度は得られるものの、リーク電流を抑え、しきい値を制御し、安定なデバイスをつくることは困難である。一般に、固相成長法を使うことにより大粒径のポリSi膜が得られるが、しかし、その樹枝状結晶粒内に、転位、双晶などの微小な欠陥を含み、これがトラップとして働き、特性向上を妨げ、不安定にする。このトラップ密度、すなわち欠陥密度は、その後の熱処理および水素化処理により減少することが、ESR解析とUV反射、デバイス特性より分かってきた。そこで、低温化プロセスとして欠陥密度を減少させ高性能なTFT特性を得るため、UV(紫外)光でパルス、



かつ、面ビームであるエキシマレーザー利用をアニール技術として導入した。

第6章では、エキシマレーザーアニール (ELA) のSi膜への応用に関する提案と実験結果を記述している。エキシマレーザーは、UV光のためSiの吸収係数が大きく、Si表面付近のみ加熱される。よって、下地 (ガラス基板、下層LSIの接合部等) に影響を与えない。この事を考え、将来の量産化に有利であるシングルショットで面均一なビームによるチップ毎のステップ&リピートアニール方式を提案した。大粒径樹枝状ポリSiをアニールし、600℃プロセスで試作したn型TFTは、1000℃の高温熱処理の場合と同様に、著しい特性の改善を示した。一方、P<sup>+</sup> (磷) イオン注入の場合にもやはりシート抵抗の低下が確認され、ソース、ドレイン等の拡散層の形成に適用できる。この方法により、低融点ガラス上につくる低コスト液晶テレビ (ビデオカメラ用ビューファインダ等)、また三次元LSIとしての高密度TFTスタックSRAM等が可能になる。

一方、今後LSIの微細化とともに、トランジスタのセル寸法も小さくなる。TFTでは、ポリSiの粒径が素子寸法に近くなると特性の不均一が顕著になることが知られている。よって、特性の均一性を確保するために、寸法に比べて小さい粒径のポリSiが求められてくる。一般に粒径が小さくなるほど、粒界部の占める割合が増加し、実質的にトラップ密度は増加する。このため、微小粒径の状態で、高移動度、鋭い反転特性 (小さいS値)、また低いリーク電流を得る事は困難である。これを打破するには、より高温でのアニールにより粒界トラップ密度を低減させる事が考えられる。この効果はエキシマレーザーアニールを用いる方法により可能である事を示した。第1の方法としては、アモルファスSi膜への直接パルスアニールにより良好なn型TFT特性を得た。第2の方法は、前述したSi<sup>+</sup> イオン注入のドーズをかえることで固相成長後での粒径を制御し、一旦形成した任意の大きさの粒径のポリSiに対して、膜全体が溶融しないエネルギー密度でエキシマレーザーによりアニールするものである。特に、後者の方法は平坦性もよく今後のLSIプロセスで期待できる。約600℃以下の低温全ドライプロセスにより、微小粒径を維持したまま、1μmチャネル長のp型のTFTを作製し、高性能な特性を得た。

第7章には、ソース、ドレイン電極および配線としての低抵抗化に関してもやはり、低温固相成長と高温の2ステップアニールが有効であることを示している。特に、p型ポリSi薄膜に対しても、Si<sup>+</sup> イオン注入による大粒径化により低抵抗化が可能であることを明らかにした。更に、高温短時間のRTA (Rapid Thermal Annealing) 技術を適用することで、従来不可能であった低抵抗値を示すSi薄膜作製を実現し、微細なLSIに対応できることを示した。

最後に、第8章に、今後の残された技術的課題、本研究と関連しての研究開発の方向に関してのまとめ、および謝辞を記した。



# 目 次

概 要	(1)
記号表	(8)
第1章 序 言	1
1-1 薄膜トランジスタ (TFT) 研究の歴史的背景と研究目的	1
第2章 TFTにおける電気伝導理論	4
2-1 Si 薄膜の電気伝導	4
2-1-1 アモルファスSi中の電子移動度	4
2-1-2 クリスタルSi中の電子移動度	5
2-1-3 ポリSi中の電子移動度	6
2-2 TFT特性	9
2-2-1 電流電圧特性	9
2-2-2 弱反転特性とトラップ密度	11
2-2-3 リーク電流	12
第3章 ポリSi薄膜の熱処理による電気的特性の向上	15
3-1 試料作成および解析方法	15
3-2 結果および検討	15

3-3	結論	18
第4章	Siイオン注入、およびその後の固相成長による大粒径ポリSiの形成	20
4-1	減圧(LP)CVDポリSi膜からの固相成長と電気的特性	20
4-2	グロー放電アモルファスSi薄膜からの固相成長	31
第5章	大粒径ポリSiによるTFT	35
5-1	低温プロセスTFT	35
5-2	高温プロセスTFT	42
5-2-1	樹枝状大粒径ポリSiTFTの高性能化	42
5-2-2	樹枝状大粒径ポリSiTFTの温度に依存しない一定移動度と リングオシレータ特性	49
第6章	エキシマレーザーアニール技術によるポリSiTFT	54
6-1	チップ毎のシングルパルスによるステップ&リピートアニール方式	54
6-2	アモルファスSiに対する直接アニール	57
6-3	樹枝状大粒径ポリSiに対する非溶融ELA	65
6-4	粒径制御と微小粒径TFT	72
第7章	TFTのソース、ドレイン電極としての低抵抗ポリSi薄膜	79
7-1	各イオン種のアニール特性	79

7-2	p型ポリSiの低抵抗化	86
7-3	p型樹枝状ポリSi薄膜に対するRTA効果	91
第8章	結言	96
8-1	結言	96
8-2	謝辞	97
参考文献		98
付 録		102



## 記号表 (Basic Symbol)

C	Capacitance (F)
$C_d$	Capacitance of depletion layer (F)
$C_i$	Capacitance of insulator (F)
$C_{ox}$	Capacitance of oxide (F)
$C_t$	Capacitance of trap (F)
d	Thickness of silicon film (cm or nm)
E	Energy (eV)
F	Electric field ( $V \cdot cm^{-1}$ )
$E_a$	Activation energy (eV)
$E_B$	Barrier height energy from conduction or valence band edge (eV)
$E_c$	Bottom of conduction band (eV)
$E_g$	Energy band gap (eV)
$E_L$	The energy of the lowest-lying state in the distribution (eV)
$E_v$	Top of valence band (eV)
h	Planck's constant ( $6.63 \times 10^{-34} J \cdot s$ )
I	Current (A)
k	Boltzmann's constant ( $1.38 \times 10^{-23} J \cdot K^{-1}$ )
L	Grain size (cm or nm) Channel length (cm or $\mu m$ )
m	Free electron mass (kg)
N	Donor density ( $cm^{-3}$ )
$N_c$	Effective density of states in conduction band ( $cm^{-3}$ )
$N_T$	Effective trap states density ( $cm^{-3} \cdot eV^{-1}$ )
$N_T^*$	Effective trap states density ( $cm^{-2} \cdot eV^{-1}$ )
$N_t$	Trap states density per volume ( $cm^{-3}$ )
$N_t^*$	Trap states density per area ( $cm^{-2}$ )
$N_v$	Effective density of states in conduction band ( $cm^{-3}$ )

$n$	Carrier density ( $\text{cm}^{-3}$ )
$n_a$	Average carrier density ( $\text{cm}^{-3}$ )
$p$	Carrier density ( $\text{cm}^{-3}$ )
$q$	Magnitude of electric charge ( $1.6 \times 10^{-19} \text{C}$ )
$R$	Distance between site-site (cm or Å)
$R_p$	Projected range of ion implantation (nm)
$S$	Gate voltage swing ( $\text{V} \cdot \text{dec}^{-1}$ )
$T$	Temperature (K)
$t_i$	Thickness of insulator (cm or nm)
$t_{ox}$	Thickness of oxide (cm or nm)
$V$	Voltage (V)
$V_B$	Barrier height voltage from conduction or valence band edge (V)
$V_d$	Drain voltage (V)
$V_g$	Gate voltage (V)
$V_{th}$	Threshold voltage (V)
$v$	Velocity ( $\text{cm} \cdot \text{s}^{-1}$ )
$W$	Channel width (cm or $\mu\text{m}$ )
$\alpha$	Representative for the rate of fall-off of the wave function ( $\text{cm}^{-1}$ )
$\lambda$	Wave length (cm or nm)
$\epsilon_0$	Permittivity of free space ( $8.86 \times 10^{-14} \text{F/cm}$ )
$\epsilon_i$	Dielectric constant of insulator (3.9)
$\epsilon_s$	Dielectric constant of silicon (11.9)
$\mu$	Carrier mobility ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ )
$\mu_0$	Carrier mobility near the bottom of the extended states ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ )
$\rho$	Resistivity ( $\Omega \cdot \text{cm}$ )
$\rho_s$	Sheet resistance ( $\Omega / \square$ )
$\sigma$	Conductivity ( $\text{S} \cdot \text{cm}^{-1}$ )
	Surface roughness (cm or Å)
$\nu_{ph}$	Frequency of phonon ( $\text{s}^{-1}$ )
$\tau$	Time constant (s)
$\tau_{pd}$	Propagation delay time (s)

# 第1章 序 言

## 1-1 薄膜トランジスタ (TFT) 研究の歴史的背景と研究目的

1948年に発明されたトランジスタ<sup>1-1)</sup>は今日の半導体デバイスの出発点となり、その後表面電界効果トランジスタいわゆるMOSFET (Metal Oxide Semiconductor Field Effect Transistor)<sup>1-2)</sup>も開発された。これらのトランジスタはシリコンバルク (基板) 上に集積されIC、およびLSIとなり、今日のエレクトロニクスを支えている。これらバルクトランジスタに加え、シリコン薄膜によるMOSTランジスタであるTFT (Thin Film Transistor)が開発され、液晶の直接駆動などに用いられるようになり、TFTが重要な研究テーマになってきた。TFTにはアモルファスシリコン薄膜を利用するアモルファスSiTFT、多結晶シリコン薄膜を利用するポリSiTFTおよび単結晶のTFTがある。

ポリSiTFTは、LCD (液晶テレビ)、ラインセンサーなどのガラス上のLSIとしてまた高密度SRAMへの応用として期待され、その特性向上が求められ、研究開発が盛んに行われている。通常のLSIと異なり、基板としてSi結晶ウエハを必要としないため応用分野も広範に考えられる。まず、液晶をTFTで直接駆動するLCDは、新しい小型フラットテレビや壁かけテレビをはじめ、プロジェクタテレビ、ビデオカメラのカラービューファインダなど日常生活における発展が期待されている。またTFTを使う接触型ラインセンサーは、ファクシミリ端末の高精度読み取り装置として今後有望と考えられている。一方、LSIとしての高密度SRAMでは、TFTの三次元化形成により、より高集積化を可能とし、今後もコンピュータ技術を支えていくであろう。このように、ポリSiTFTは、1990年代のエレクトロニクス社会にインパクトをもつ重要なデバイスと考えられ、その技術展開が期待されている。

TFT自体の研究は、1970年代以前は、主にII-VI族材料であるCdSeを中心に検討されてきた<sup>1-3)</sup>。CdSeではかなりのキャリア移動度 ( $\geq 10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ) は得られるものの、再現性、安定性は良くなく、抵抗値の制御性も劣っていた。1969年に英国のDundee大学で、pn制御が可能なプラズマCVD (グロー放電) による水素化アモルファスSi膜 (a-Si:H) が開発された<sup>1-4)</sup>。以来、a-Si:H薄膜は、太陽電池、センサーへの応用だけでなく、TFTとしても1970年代後半頃より試作、研究が活発になっ



た。 $a-Si:H$ 薄膜は、約 $300^{\circ}C$ のプラズマCVD法による低温プロセスで作製可能であり、低コストなガラス上に大面積でも作製できるので、大面積液晶平面テレビ駆動として適しており、現在すでに実用化されている。しかし、その抵抗率は約 $10^{11}\Omega\cdot cm$ と高いものの、正孔の移動度は非常に小さくて、 $n$ 型TFTしか使用できず、その電子移動度も約 $1\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ と小さい。（著者自身、プラズマCVD法により移動度向上の検討を行ったが、限界を感じた。）このため、アモルファスTFTは、液晶ディスプレイ（LCD）では画素を駆動するのみで、周辺走査LSI部などの高速化、CMOS化には対応できず、高機能LSIとしては限界がある。一方、ポリSi薄膜は $a-Si:H$ 薄膜に比べると光に感じにくく、また通常、より高温プロセスで作製されるためより安定と期待されている。

ポリSi薄膜は、1983年に、両角等（セイコーエプソン）<sup>1-5)</sup>によりポケットテレビの試作発表があり、安定なデバイス形成の可能性が出てきたので研究、開発が盛んになった。研究の重点は、高温プロセス（ $1000^{\circ}C$ 前後）としてのデバイス特性の高性能化、およびよりプロセス低温化におかれている。またスタックSRAM応用としては、1985年前後に、主にTI（米）のグループにより、精力的に研究された<sup>1-6)</sup>。ポリSiTFTは、キャリア移動度は $a-Si:H$ によるTFTにくらべ大きいものの、リーク電流を低く抑えることが非常に困難であり、SRAM応用としての研究は、一時中断した。当時は製膜技術もまだ低く、高移動度に有利な $1000\text{ \AA}$ 厚以上の膜により検討されていた。製法としては、減圧CVD、常圧CVD、プラズマCVD、高真空蒸着などが検討されたが、いずれも高性能な特性を再現性よく得ることは出来なかった。しかし、4MSRAM以降の高密度化に対して、セル部におけるポリSi高抵抗積層負荷構造の限界が生じ、TFTスタック構造の研究、開発が再び活発化している。

ポリSi中のキャリアに対する伝導（導電）理論としては、第2章で述べるJ. Y. W. Setoの粒界バリアをこえる熱電子放出モデル<sup>1-7)</sup>が提案されており、現在でもポリSi薄膜の基本的なモデルとされている。このモデルによれば、最も重要なキャリア移動度は結晶粒界に存在するトラップの密度により制限される。すなわち、単純には、高移動度を実現するには、大粒径で低いトラップ密度のポリSi膜が得られればよいわけである。粒界トラップ密度を低減するには、高温熱処理（アニール）、もしくは $a-Si:H$ 膜と同様に粒界に存在するSi原子の未結合手（ダングリングボンド）を水素で補償すれば有効であることが分かってきた。現在のポリSiTFTプロセスでは、膜堆積および高温アニール後、水素化処理を行うのが通例となっている。このトラップ密度は、TFTの弱反転特性の改善、リーク電流の低減にも有効に働き、大粒径化とともに重要な物理的要素である。一方、大粒径化および低い粒界ト

ラップ密度を得るには、高温プロセス程有利になるが、ガラス上に形成するLSIまた3次元LSIなどでは出来るかぎり低いプロセス温度が要求される。現在のTFTの研究もこれらの要求を満たす方向で進められている。これらの要求を満たすTFTを実現するためには、膜堆積法とその後のアニール技術が非常に重要になってくると考えられる。特にアニール技術はSi薄膜の構造を左右し、その電気的特性に大きく影響する。よって、アニール技術の観点から、膜中の結晶状態を調べ、電気的特性、TFT特性との対応を研究することは重要であると考えられる。

本論文は、大粒径で低トラップ密度のポリSiTFTを得る目的で、TFT研究分野の重要な幹となる大粒径化として低温固相成長法を、またトラップ密度を減ずる結晶性向上のためにエキシマレーザーアニール法を提案し、それらをTFTデバイスに対して適用し、検討してきた結果をまとめたものである。前者では、イオン注入技術を1000Å厚以下の超薄膜Siに適用し、主に大粒径化により電気的特性の向上を示した。また、後者では、同様の超薄膜Siに対し、UVパルス光による高温短時間処理をつかってポリSi薄膜の結晶性を改善させ、より高性能でかつ低温化対応プロセスとしての優位性を示した。

## 第2章 T F Tにおける電気伝導理論

### 2-1 Si 薄膜の電気伝導

#### 2-1-1 アモルファスSi中の電子移動度

Mottによれば、非晶質の中のフェルミレベル ( $E_f$ ) 近傍の局在準位を介してのホッピングによる導電率 (電気伝導度) は次式で与えられる<sup>2-1, 2-2</sup>。

$$\sigma = \sigma_0 \exp(-AT^{-1/4}) \quad (2-1)$$

$$\text{但し、} \sigma_0 = q^2 R^2 \nu_{ph} N(E_f) / 6 \quad (2-2)$$

$$A = 2.1 \{ \alpha^3 / k N(E_f) \}^{1/4} \quad (2-3)$$

$\nu_{ph}$ : フォノン振動数 ( $\sim 10^{13} \text{ s}^{-1}$ )

$N(E_f)$ : フェルミレベル付近の準位密度

$1/\alpha$ : 波動関数の広がり

$R$ : サイト間の距離

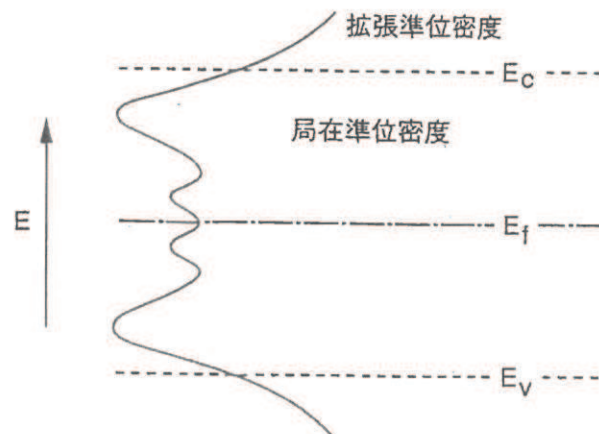


図2-1 アモルファス半導体のエネルギー状態密度スペクトルの模式図。



この場合、電子の波動関数は広がってはいないで、電子は局在していることを示している。

しかし、ダングリングボンドが例えば、水素でターミネートされたようなアモルファス Si、即ち、プラズマ CVD 法による水素化アモルファス Si では、禁制帯中の準位密度は大きく低減され活性化型の電気伝導（導電）を示すようになる<sup>2-3)</sup>。導電率（電気伝導度）は室温付近で、次式に従う。

$$\sigma = \sigma_0 \exp(-E_a / kT) \quad (2-4)$$

ここで、 $E_a (= E_c - E_f)$  は活性化エネルギーで、 $\sigma_0 (= q \mu_n N_c)$  は、一般に  $10 \sim 10^3 \text{ Scm}^{-1}$  の値をとる。

また移動度は、次のように示される。

$$\mu = \mu_0 \beta \exp\{- (E_c - E_L) / kT\} \quad (2-5)$$

$$\beta = N_c / N_t \sim 50$$

$$\mu_0 \sim 10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1} \quad (\text{拡張準位の底近くの移動度値})$$

$$E_c - E_L \sim 0.2 \text{ eV}, \quad E_L : \text{局在分布の最小準位エネルギー}$$

$$N_t : \text{トラップ準位密度}$$

また、準位密度が低減されているため、p型、n型の任意の半導体をつくることができる。即ち、価電子制御が可能になり、水素化アモルファス Si は太陽電池、センサーまた TFT としてフラット TV 等に現在広範に応用されている。しかし、式 (2-5) で与えられる電子移動度は、約  $2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  以下に制限されるために高速 LSI への応用は困難である。

## 2-1-2 クリスタル Si 中の電子移動度

結晶中の電子の移動度  $\mu_0$  は、一般に次式で示される。

$$1/\mu_0 = 1/\mu_1 + 1/\mu_2 \quad (2-6)$$

$\mu_i$  : 格子散乱による移動度

$\mu_i$  : イオン散乱による移動度

室温付近では主に格子散乱に制限され<sup>2-4)</sup>、 $\mu_c$  は次のような温度依存性を持つ。

$$\begin{aligned}\mu_c &\sim \mu_i \\ &= \{2 (2\pi)^{1/2} q h^4 c_{ii}\} / \{3 m^{5/2} (kT)^{3/2} E_i^2\} \\ &\propto T^{-3/2}\end{aligned}\quad (2-7)$$

ここで、 $c_{ii}$  : 弾性定数、 $E_i$  : エネルギー一定数

さらに、MOS構造の場合、表面量子化<sup>2-5)</sup>を考えると、 $\mu_i$  の温度依存性は次式のように示される。

$$\mu_i \propto 1/T \quad (2-8)$$

### 2-1-3 ポリSi中の電子移動度

Betheの熱電子放出理論をポリSiの粒界バリアに適用して考える<sup>1-7)</sup>。粒界にかかる電圧 $V_a$ に対して熱電子放出電流密度 $J_{th}$ は、

$$J_{th} = q n_a v_o \exp(-q V_B / kT) \{ \exp(q V_a / kT) - 1 \} \quad (2-9)$$

ここで  $n_a$  : ポリSi中の平均電子濃度

$V_B$  : 導電帯の底からみた粒界バリアハイト ( $E_B = q V_B$ )

$$v_o = (kT / 2\pi m^*)^{1/2} : \text{収集速度} \quad (2-10)$$

$V_a \ll kT/q$  のとき、次式となる。

$$J_{th} \sim (q^2 n_a / kT) v_o V_a \exp(-q V_B / kT) \quad (2-11)$$

実際、ポリSiは真性にちかいが、キャリアは電子と仮定する。

J. Y. W. Seto<sup>1-7)</sup>によるポリSiの粒界モデルをn型ポリSiに適用してみると、図2-2のように表される。ここで、 $N_t^*$ は粒界における単位面積当たりのトラップ密度、 $N$ は単位体積当たりのドナー密度として、次のポアソンの式を解く。

$$d^2 V / dx^2 = qN / \epsilon_o \epsilon_s \quad (2-12)$$

$$l < x < (1/2)L$$

$l$  は空乏層の端、 $L$ は粒径である。

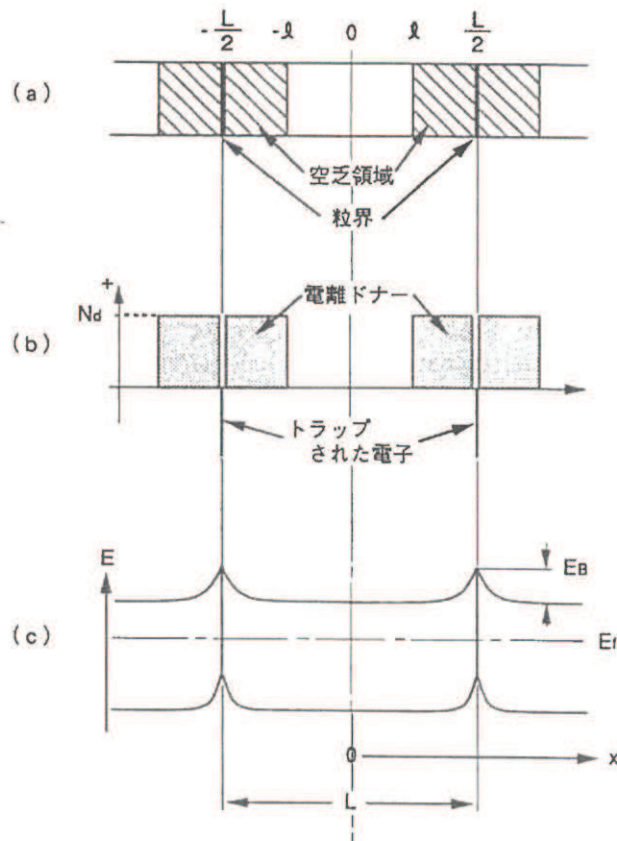


図2-2 基本的なn型ポリSi粒界モデル。(a) 粒界の位置と空乏領域。  
(b) 多結晶粒に沿った電荷分布、(c) エネルギーバンド図。



$x=\ell$  で、 $dV/dx=0$  より、

$$V(x) = \{qN / (2\epsilon_0 \epsilon_s)\} (x-\ell)^2 + V_{co} \quad (2-13)$$

ここで、 $L \cdot N > N_t^*$  と仮定する。この条件では結晶は1部のみ空乏化しており、電荷中性条件より、

$$2N(L/2-\ell) = N_t^* \quad (2-14)$$

式(2-13)より、

$$V(\ell) = V_{co} \quad , \quad \text{また} \quad V(L/2) = V_B + V_{co}$$

但し、 $qV_B \equiv E_B$  ,

$$\{qN / (2\epsilon_0 \epsilon_s)\} (L/2-\ell)^2 = V_B \quad (2-15)$$

式(2-14)、(2-15)より

$$V_B = q(N_t^*)^2 / (8\epsilon_0 \epsilon_s N) \quad (2-16)$$

即ち、膜中のトラップ密度が小さい程、バリアハイトは低いことになる。

さて、 $\sigma = J/E$  であり、また  $E = V_a / L$  である。

よって、式(2-11)、式(2-16)より、導電率( $\sigma$ ) および移動度( $\mu$ ) は次式で与えられる。

$$\begin{aligned} \sigma &\sim (Lq^2 / kT) n_a v_o \exp(-qV_B / kT) \\ &= (Lq^2 N_c / kT) v_o \exp\{-(E_g / 2 + E_B - E_f) / kT\} \quad (2-17) \end{aligned}$$

一方、

$$\mu = \sigma / q n_a$$

$$= \{ q L / ( 2 \pi k T m^* ) \} \exp ( - E_B / k T ) \quad (2-18)$$

この式より、粒径が大きい程、また粒界バリアハイトが低い程、即ちトラップ密度が低い程、高移動度が得られることが明らかとなり、以後の結晶性向上の指針とすることができる。

## 2-2 TFT特性

### 2-2-1 電流電圧特性<sup>2-6)</sup>

TFTを、図2-3に示すように、 $L$ はチャネルの長さ、 $W$ はチャネル幅、 $t_i$ は絶縁膜の厚さ、 $d$ を半導体膜の厚さとする。チャネル中のキャリア移動度は一定であり、薄膜中の初期電荷密度を $n_0$ と仮定する。

$$q \Delta n(y) = ( C_i / d ) \{ V_g - V(y) \} \quad (2-19)$$

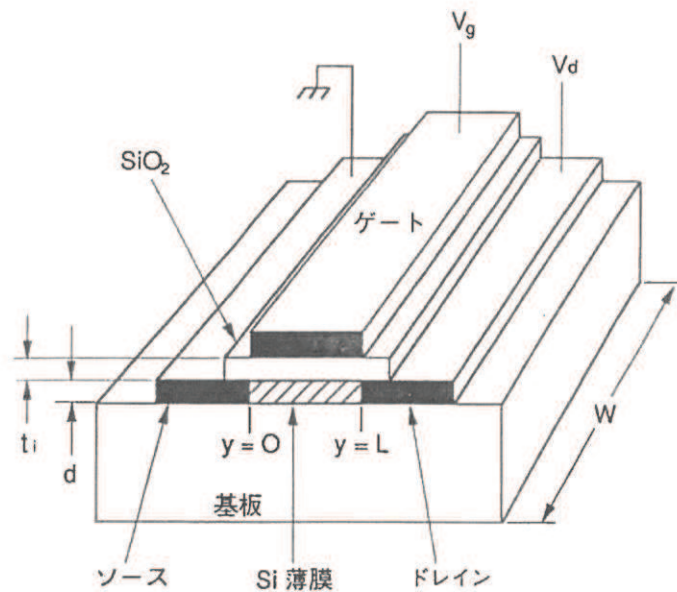


図2-3 簡略化したTFTの構造<sup>2-6)</sup>

ここで、 $C_i$  は単位面積当たりのゲート容量 ( $\epsilon_i \epsilon_o / t_i$ )、 $V(y)$  はソースからの距離  $y$  における印加ドレイン電圧である。

全ドレイン電流  $I_d$  は次式で示される。

$$\begin{aligned} I_d &= (dW) \{ \sigma_o + \Delta \sigma(y) \} E_y \\ &= (dW) q \mu_n \{ n_o + \Delta n(y) \} E_y \end{aligned} \quad (2-20)$$

ここで、 $\sigma_o$  は印加電圧が零のときの導電率、 $\Delta \sigma(y)$  は  $\Delta n(y)$  によって増加した導電率である。式 (2-19) と式 (2-20) から次式をうる。

$$I_d = W \mu_n C_i \{ q d n_o / C_i + V_g - V(y) \} dV(y) / dy \quad (2-21)$$

$y$  について積分を行うと、次式のようになる。

$$I_d \int_0^L dy = W \mu_n C_i \int_0^{V_d} \{ q d n_o / C_i + V_g - V(y) \} dV(y) \quad (2-22)$$

$$\text{したがって} \quad I_d = (W/L) \mu_n C_i \{ (V_g - V_{th}) V_d - V_d^2 / 2 \} \quad (2-23)$$

ここで

$$V_{th} \equiv -q d n_o / C_i$$

ドレイン電流はドレイン電圧が  $V_g - V_{th}$  になる点で飽和する。  
よって、飽和ドレイン電流は次式で与えられる。

$$I_{d \cdot sat} = \{ (W/L) \mu_n C_i / 2 \} (V_g - V_{th})^2 \quad (2-24)$$

また一方、式 (2-23)、式 (2-24) より逆に電界効果移動度が電流測定より求めることができる。



## 2-2-2 弱反転特性とトラップ密度

薄膜Siは一般に、単結晶でない限りその膜中に粒界、転位等の欠陥が存在し、これが電気的なトラップ準位として働くために、デバイス特性に様々な悪影響を及ぼす。

MOSFET (TFT) では、p型のSi基板表面に正の電位が加わると、Si膜表面は逆の少数キャリアである電子のチャネル層に反転される。この反転されるまでの過渡的な途中の状態を弱反転 (weak inversion 又は、sub-threshold 領域) という。弱反転領域においては、チャネルの可動キャリア密度が低いので、図2-4のように、ゲート容量に対して空乏近似が適用できる。表面ポテンシャルの変化 $\Delta V_s$ は、ゲート電圧の変化と次の関係となる<sup>2-7)</sup>。

$$\Delta V_s = (1 + C_d / C_{ox} + C_t / C_{ox})^{-1} \Delta V_g = \Delta V_g / n \quad (2-25)$$

$$n = 1 + C_d / C_{ox} + C_t / C_{ox} \quad (2-26)$$

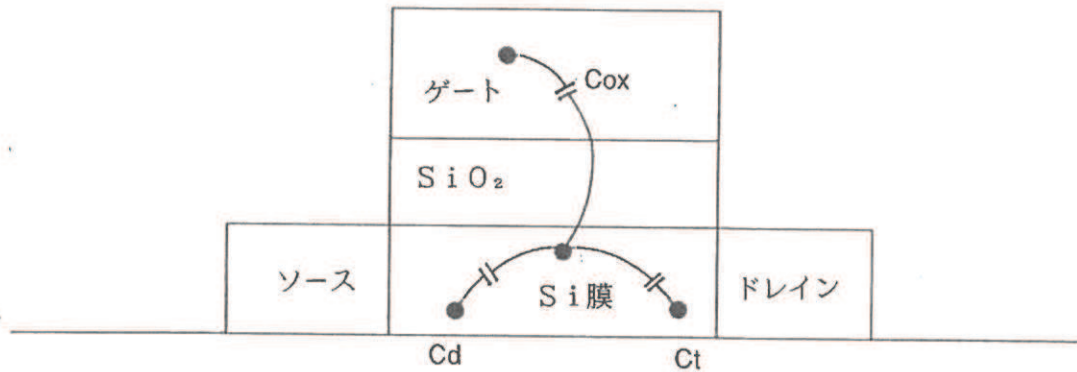


図2-4 弱反転状態におけるゲート容量の等価回路

又、ここで、トラップ密度は膜中で均一であるとし、Si膜厚を $d$ とすると、

$$C_t = q N_T^* = q d N_T \quad (2-27)$$

$C_d$  : 空乏層容量                       $N_T^*$  : 単位面積、単位 e V 当たりの実効トラップ密度  
 $C_t$  : トラップ容量                       $N_T$  : 単位体積、単位 e V 当たりの実効トラップ密度  
 $C_{ox}$  : ゲート絶縁容量

一方、チャネル電流は拡散電流と考え、再結合電流を無視すると、次式によりドレイン電流が与えられる<sup>2-7)</sup>。(p(x) はソースからの距離 x におけるキャリア密度)

$$I_d \sim \partial p(x) / \partial x \sim \exp(qV_s / kT) \quad (2-28)$$

$$\begin{aligned} \partial \ln I_d / \partial V_g &= (q/kT) \partial V_s / \partial V_g \\ &= (q/kT) / n \end{aligned}$$

ここで、ゲート電圧スイング S を次のように定義する。

$$\begin{aligned} S &\equiv \partial V_g / \partial \log_{10} I_d \\ &= (kT/q) (1/\log_{10} e) (1 + C_d / C_{ox} + q d N_T / C_{ox}) \end{aligned} \quad (2-29)$$

膜が非常に薄いと、 $C_d$  を無視して、膜全体が完全空乏化により

$$S = (kT/q) (1/\log_{10} e) (1 + q d N_T / C_{ox}) \quad (2-30)$$

上式より、膜が薄い程、またトラップ密度が小さい程、低温程、鋭い反転特性を示すことになる。また単結晶の TFT、即ち SOI (Silicon On Insulator) では d,  $N_T$  に依存しなく、理想的に室温で約 60 mV/dec. となる。

### 2-2-3 リーク電流

Fossum<sup>2-8)</sup>によると、ドレイン近傍の空乏領域における粒界トラップによる電界放

出によりTFTのリークが生じる。p<sup>+</sup>ドレイン近傍の様子は図2-5で示され、リーク電流I<sub>L</sub>は、次式で与えられる。

$$I_L \cong q W x_e N_t (\tau_{TC} + \tau_{TV})^{-1} (|V_d| / F_y) \quad (2-31)$$

x<sub>e</sub>は空乏層の実効的な深さであり、Wはチャネル幅である。

F<sub>y</sub> = (dE<sub>i</sub> / dy) / qはy方向の電界で、空乏層内で一定と仮定する。

N<sub>t</sub>は粒界トラップ密度であり、時定数τ<sub>TC</sub>とτ<sub>TV</sub>は、図2-6に示すE<sub>t</sub>によって限定されるトラップされたキャリアが、三角形のバリアより各々のバンドにトンネルする単位時間あたりの確率を表す。WKB近似によれば、

$$\tau_{TV} = \tau_{ov} \exp \{ 4 (2 m_p^*)^{1/2} (E_t - E_v)^{3/2} / (3 q h F_y) \} \quad (2-32)$$

$$\tau_{TC} = \tau_{oc} \exp \{ 4 (2 m_n^*)^{1/2} (E_c - E_t)^{3/2} / (3 q h F_y) \} \quad (2-33)$$

ここで、m<sub>p</sub><sup>\*</sup>とm<sub>n</sub><sup>\*</sup>はトンネルする正孔と電子の有効質量で、m<sub>p</sub><sup>\*</sup> ~ m<sub>n</sub><sup>\*</sup> ~ 0.2 m<sub>0</sub>。

τ<sub>ov</sub>、τ<sub>TC</sub>は価電子帯、導電帯での実効キャリア遷移時間で定数と仮定する。F<sub>y</sub>は次の3つの和として与えられる。

$$F_y = F_1 + F_2 + F_3 \quad (2-34)$$

F<sub>1</sub> : 逆バイアスドレイン接合空乏電荷における電界

F<sub>2</sub> : ゲート、ドレイン間の電界差

F<sub>3</sub> : 反転層のドレイン端とゲートの電界差

Fossu<sup>m</sup>らの解析<sup>2-8)</sup>によれば、リーク電流I<sub>L</sub>は(V<sub>gf</sub> > V<sub>th</sub>のとき)、次のようになる。

$$I_L \propto N_t \exp (V_{gf}) |V_d|^m \quad (2-35)$$

但し、m ~ 5 - 10の値をとる。 V<sub>gf</sub> : ゲート電圧



結局、リーク電流を低下させるにはまずトラップ密度を少なくすることが重要である。次に、ドレイン近傍の電界緩和が有効である。（この電界緩和法には、二重ゲート構造、オフセットドレイン電極などが有効であるが本論文では扱わない。）

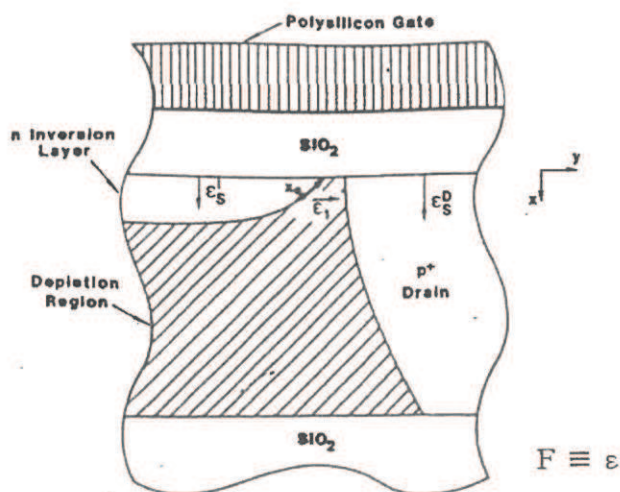


図2-5 重要な電界成分をもつドレインと反転層間の空乏領域<sup>2-8)</sup>。

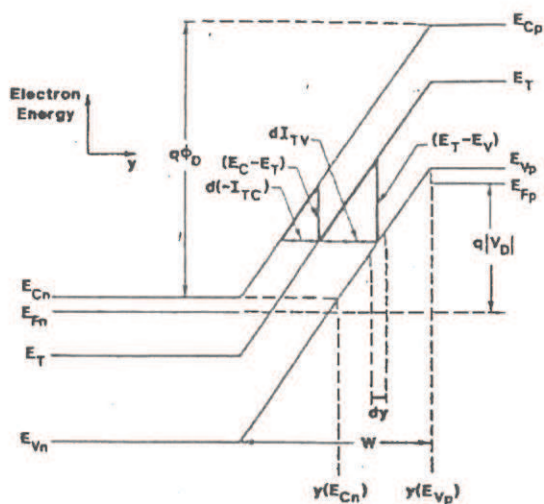


図2-6 反転層と (p<sup>+</sup>) ドレイン間の表面に沿った電子エネルギーバンド<sup>2-8)</sup>。

## 第3章 ポリSi薄膜の熱処理による 電気的特性の向上<sup>3-1)</sup>

ポリSi薄膜および水素化a-Siは、TFTの活性層への応用が期待されている。ポリSi膜は高移動度が達成できると期待されているが、一般に、安定なTFT特性を得ることは困難である。最近まで、Si薄膜が薄い程、その電気特性は悪くなると考えられていた。おそらく、この理由のために、1000Å厚以下のデバイスの作製は、従来ほとんど試みられず、またその電気的特性は解析されていなかった。この章では、超薄膜Si(200~300Å厚)がすぐれた電気的特性を示し、TFTとしてLCDのスイッチングアレイや他の応用に有望な材料であることを示す。

### 3-1 試料作成および解析方法

1000Å厚のポリSi膜を、減圧CVD法により650℃で、石英上に堆積させた。その後、1000℃の酸化炉中で、各々0、30、60、120、240分酸化し、結果として約1000、800、650、550、300Å厚となった。酸化膜を剥離後、Si膜の結晶化の様子を調べるために、紫外分光法により、 $X_1 - X_4$ バンド間の吸収に基づくと考えられる4.4eV付近の反射ピークスペクトル<sup>3-2)</sup>を観察した。正確に粒径を調べるために、TEM(Transmission Electron Microscopy)観察を行なった。結晶方位依存性をRHEED(Reflective High Energy Electron Diffraction)パターンによりしらべてみた。導電率(電気伝導度)の温度依存性を測定、評価するために、金属薄膜電極を蒸着した。最後に、上述の方法で作製した200Å厚および400Å厚のTFTの温度依存性を測定し、評価した。

### 3-2 結果及び検討

図3-1に各試料に対する測定スペクトルを示す。ピークはクリスタルSiでは鋭く、逆にアモルファスSiでは消失する。酸化ポリSi膜では薄い程、即ち、酸化が進んでいるもの程、UV反射ピークは鋭くなっている。また一方、TEMより、膜堆積後は200~300Å

の粒径であったものが、240分酸化後では、300 Åの膜厚にもかかわらず300～1500 Åの粒径であった（図3-2）。RHEED解析からは、膜堆積後はハロー状であったものがリング状に変化していた。しかし、顕著な結晶方位依存性は見られなかった。

図3-3に示す導電率の温度依存性をみると、膜堆積後のCVD Si膜では $T^{-1/4}$ 則に従うが、熱酸化薄膜化後では $T^{-1}$ 則に従い、室温付近に折れ点が存在する。この高温域の傾きは、Bacarani等によって報告されている $E_f$  から粒界バリアをのり越えるエネルギー値に相当すると考えられる<sup>3-3)</sup>。この傾きより求める活性化エネルギー（ $E_a$ ）および $T^{-1}=0$ における指数係数部（ $\sigma_0$ ）は膜が薄いほど大きくなり、240分酸化後、各々0.66 eVおよび $6.2 \times 10^4 \text{ Scm}^{-1}$ である。

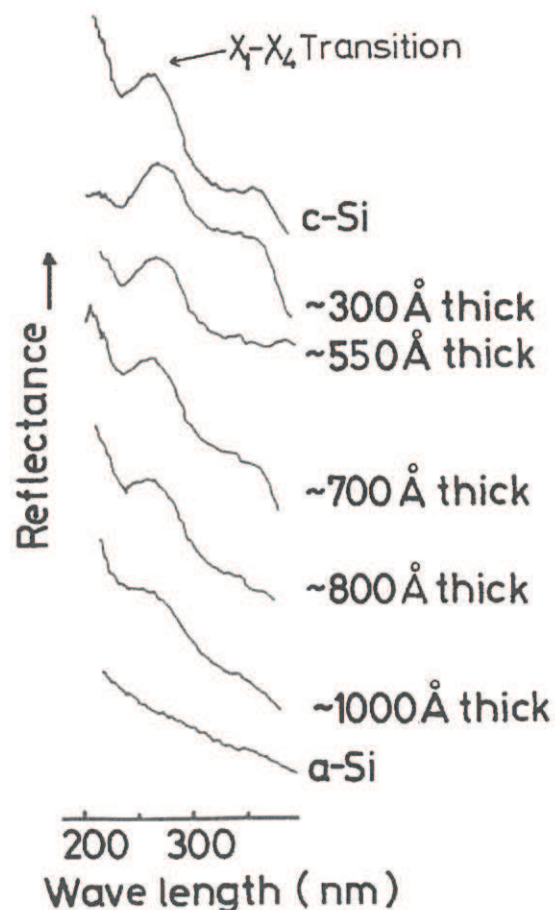
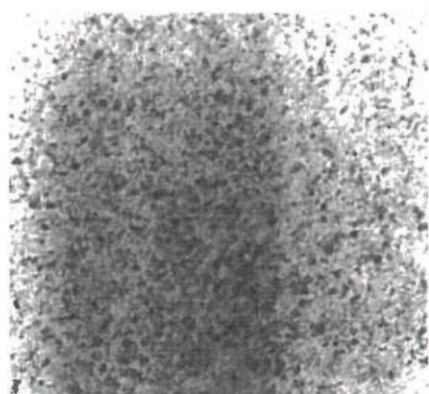
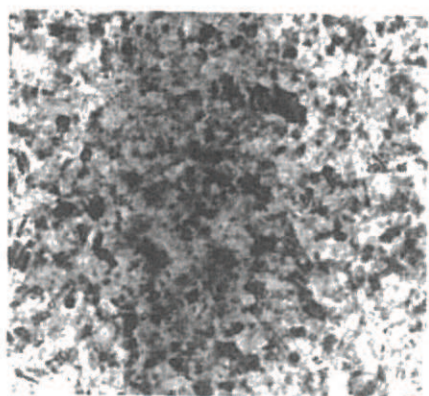


図3-1 各試料に対するUV反射ピーク

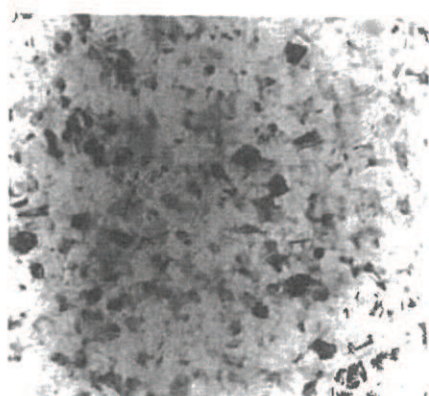




(a)  $0.25\mu\text{m}$



(b)



(c)

図3-2 各試料に対するTEM像：(a) 膜堆積後、(b) 30分酸化後、  
(c) 240分酸化後。

したがって、酸化により薄膜化される程、結晶粒は成長し、エネルギーバンド内の準位密度は減少することが予測される。粒径成長に与える熱アニールと同じ温度での熱酸化の効果の違いを調べるためにUV反射測定およびTEM観察を行った。その結果、熱酸化による方が平坦性はよくないが粒径は大きかった。このことより、熱酸化時の粒径成長は単なるアニールだけではなく酸化によるSi原子の加速拡散の影響を受けているのではないかと推測している。この熱酸化されたSi薄膜をつかってn型TFETを作製し、その最大電界効果移動度の温度依存性を調べた。ゲート酸化膜厚は1000Åである。

ポリSi膜のキャリア輸送に対しては、移動度 $\mu$ が、第2章2-1-3で述べたように一般に次式で与えられる<sup>1-7)</sup>。

$$\mu = \mu_0 \exp(-E_B / kT) \quad (3-1)$$

ここで、 $E_B$  は $E_c$  から粒界バリアを乗り越えるに要するエネルギーと考えられ、粒界準位密度に依存する。また、 $\mu_0$  は粒径に依存する。図3-4は水素化後の結果であるが、Si膜が薄い程、その値は大きく、またその活性化エネルギーは小さい。より薄い膜では粒界バリアが低くなっていることになる。結局、熱酸化された超薄膜ポリSiでは粒径の成長とともに粒界トラップ密度も減少し、電気的特性もより改善されるものと考えられる。

### 3-3 結論

熱酸化した超薄膜ポリSiを測定し、解析した。多結晶粒は増大化し、また膜厚の減少とともに粒界の状況は電氣的に改善された。薄膜化と酸化による結晶性の改善が移動度等の電気的特性の改善に大きく影響するものと考えられる。

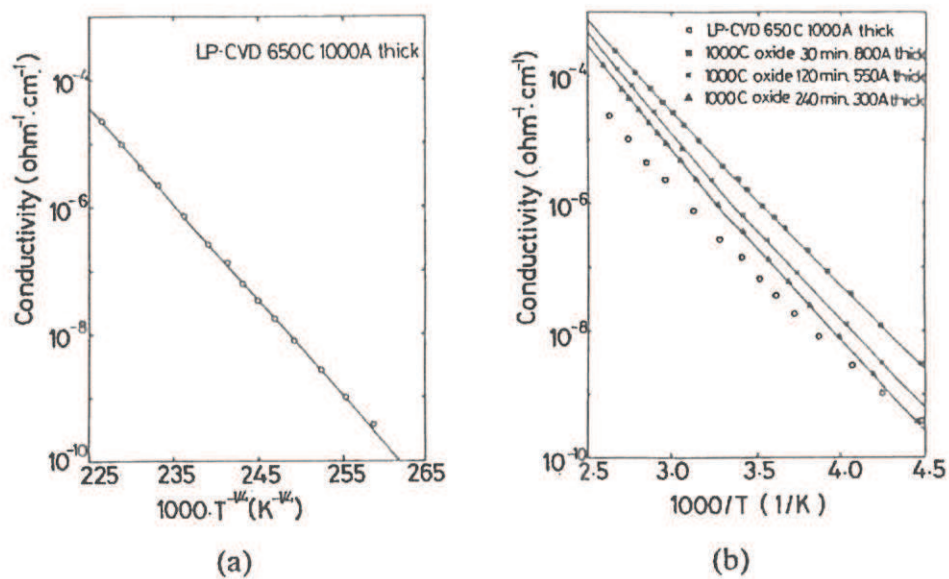


図3-3 導電率の温度依存性：(a) Si膜堆積後、(b) 酸化後のポリSi膜

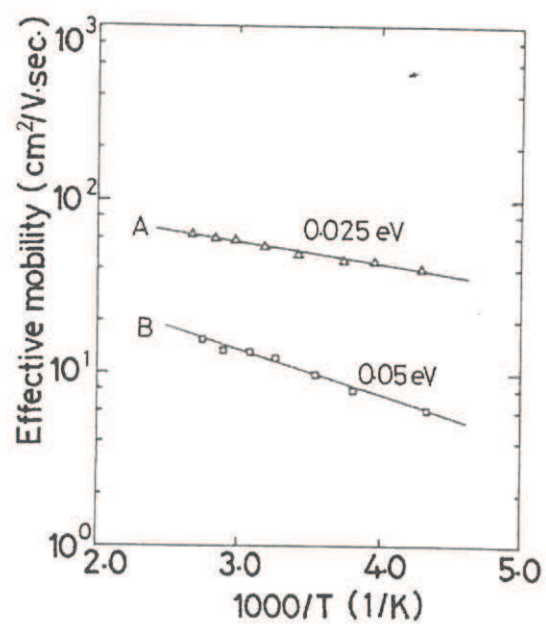


図3-4 二つのポリSi厚に対する電界効果電子移動度の温度依存性：  
A：200 Å，B：400 Å



## 第4章 Si イオン注入、およびその後の

### 固相成長による大粒径ポリ Si の形成

最近、水素化アモルファス Si ( $a\text{-Si:H}$ ) の研究が活発であり、 $a\text{-Si:H}$  薄膜トランジスタは、すでにアクティブマトリクスとしての大面積ディスプレイ (LCD) 駆動に用いられ始めている。しかし、 $2\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$  以上のキャリア移動度を得ることは困難である。一方、CVD (Chemical Vapor Deposition) ポリ Si による TFT では、第3章で述べたが、その小粒径のために、一般に  $30\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$  以上のキャリア移動度を安定に得ることは困難である。よって、 $a\text{-Si:H}$  また CVD ポリ Si 膜は、高性能 LSI として活性層にそのままでは適用できない。大きな粒径をもつポリ Si を得るために、減圧 CVD 法またはグロー放電法により堆積された Si 膜は一旦  $\text{Si}^+$  イオン注入によりアモルファス化され、続いて低温でアニールされた。イオン注入アモルファス Si 膜は無秩序な状態で、その膜中に多くのダングリングボンドを含む。しかし、その後の低温アニールにより、顕著な結晶成長が見られ<sup>4-1, 4-2)</sup>、2次元的に広がった大粒径 Si 膜を得ることができた。この顕著な粒径成長についていくつかの報告があるが、関連する電気的特性に関してはほとんどなされていない。この章では、 $\text{Si}^+$  イオン注入された Si 薄膜と関連する電気的特性に関して述べる。

#### 4-1 減圧 (LP) CVD ポリ Si 膜からの固相成長と電気的特性<sup>4-1)</sup>

##### 4-1-1 実験方法

800 Å 厚のポリ Si 薄膜が、減圧 (Low Pressure) CVD 法により、石英および  $\text{SiO}_2/\text{Si}$  上に、610°C で堆積された。膜は非常に薄いので1回だけの  $\text{Si}^+$  イオン注入で全体がアモルファス化される。加速エネルギーは、注入深さが中央よりやや深くなるように選ばれた。又、 $\text{Si}^+$  ドーズは  $5 \times 10^{14}$  から  $5 \times 10^{15}\text{ cm}^{-2}$  まで変化させた。イオン注入に続いて、600°C に保たれた  $\text{N}_2$  雰囲気電気炉中でアニールした。

まず、結晶性を UV 反射法によって評価した。Si 薄膜がアモルファス状態から結晶化する

とき、エネルギーバンドが形成され、特に、UV域において、k空間のXバンド間吸収確率が大きくなる<sup>4-3)</sup>。これは、吸収係数に反映し、約4.4 eV即ち280 nmに吸収スペクトルのピークが現れる。粒径が成長するにつれ、ピークも又大きくなる。(付録1)

この後、暗および光導電率と暗導電率の温度依存性を、イオン注入アモルファス状態とその後のアニールによるポリクリスタル状態の各々に対して調べた。その各々の膜に対して、ESR (Electron Spin Resonance) 解析をおこなった。(付録2)

微視的な結晶状態を調べるために、 $1.5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ の各々の $\text{Si}^+$ ドーズに対してTEM観察を行った。

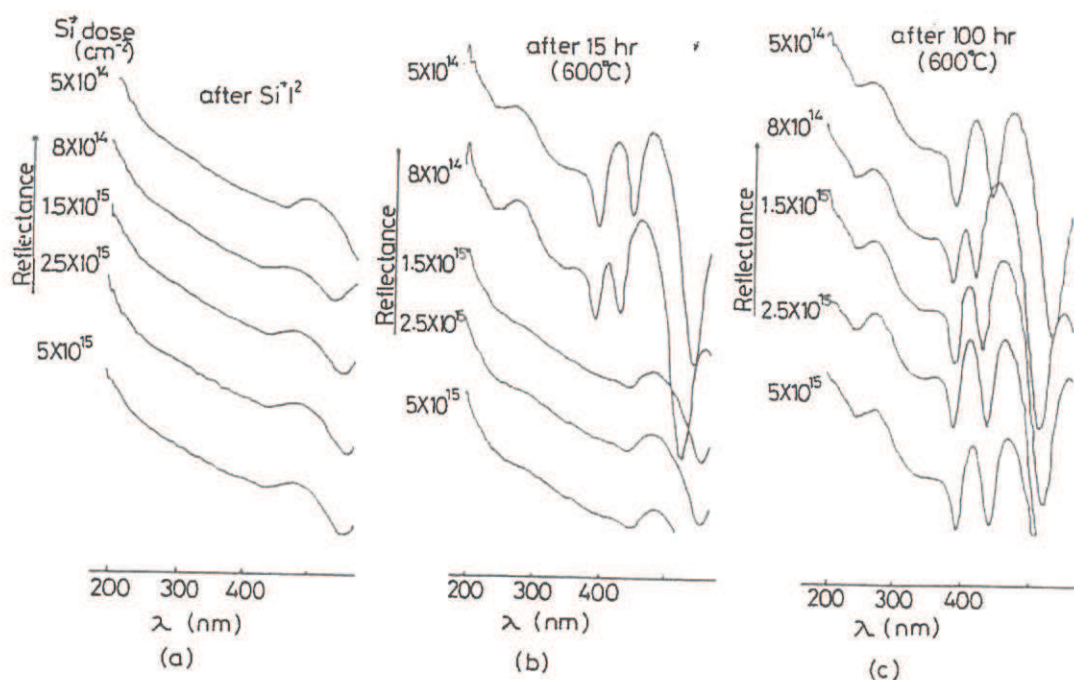


図4-1 (a)  $\text{Si}^+$  注入後、(b) 15時間アニール後、(c) 100時間アニール後の種々の $\text{Si}^+$ ドーズに対するU-V反射ピークスペクトル。

#### 4-1-2 実験結果および検討

図4-1は、 $\text{Si}^+$  注入後のUV反射スペクトルを示す。このドーズ範囲では、全ての膜はアモルファス状態になっている。(図4-1 (a))  $600^\circ\text{C}$ で15時間アニールすると、低ドーズ注入の膜では結晶化が始まる。(図4-1 (b)) 他の膜は未だアモルファスである。更に100時間アニール後では、全ての膜は多結晶化した。(図4-1 (c)) 一方、AM-1 ( $100\text{mW}\cdot\text{cm}^{-2}$ ) の光源の下で種々の $\text{Si}^+$  ドーズの膜に対し、暗導電率および光導電率を測定した。図4-2 (a) に示すように、イオン注入後の膜は高い暗導電率値を示し、光導電は示さなかった。無秩序な状態におけるこれら全ての膜の導電機構は、局在準位を介することによると推測される。15時間アニール後では、全ての膜は低い導電率値を示すが、

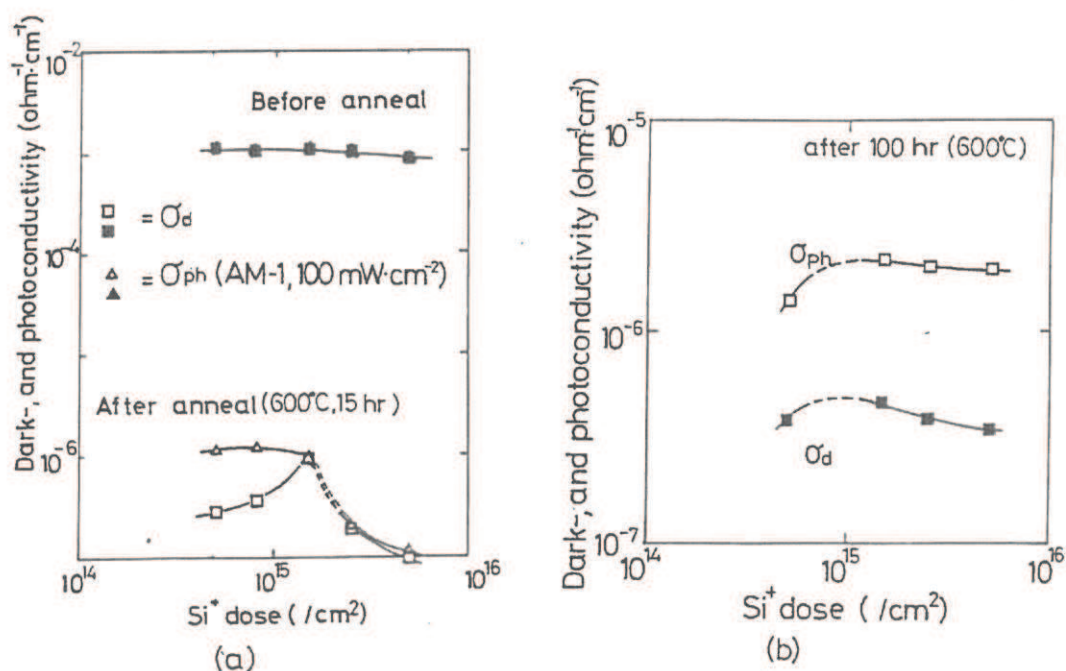


図4-2 各 $\text{Si}^+$  ドーズに対する暗、及び光導電率。(a) 15時間アニール前後  
(b) 100時間アニール後



低ドーズ注入膜のみ、顕著な光導電を示す。このふるまいは図4-1のUV反射データと一致する。低ドーズ注入膜は多結晶状態なので光導電の出現は、エネルギーバンドの形成、いいかえれば禁制帯（バンドギャップ）の出現であり、キャリアの移動度や寿命（ライフタイム）のような電気的特性が改善されていると考えられる。更に、100時間アニール後では、高ドーズ膜を含めた全ての膜が顕著な光導電を示す。また、光導電は、図4-2（b）に示すようにドーズが高い程著しい。

更に詳細に膜特性を解析するために、導電率の温度依存性を調べた。Si<sup>+</sup>イオン注入後、Si膜は無秩序なアモルファスSi特有の広域ホッピング（variable range hopping）導電<sup>4, 2-2)</sup>を示した。（図4-3（a））従って、イオン注入された膜は、ダングリングボンドに基づいた大きな準位密度を持つことになる。石英上のイオン注入されたSi膜は黒褐色を示す。広域ホッピング導電率の温度に対する傾きは無秩序（disorder）の程度を表すが、このドーズ範囲ではほとんど変化していない。15時間アニール後の結果を図4-3（b）に示す。多結晶状態にある低ドーズのサンプル（□）は活性化型の導電を示し、またおそらくエネルギーバンド、エネルギーギャップの形成のため、その活性化エネルギー（E<sub>a</sub>）は大きい。中ド

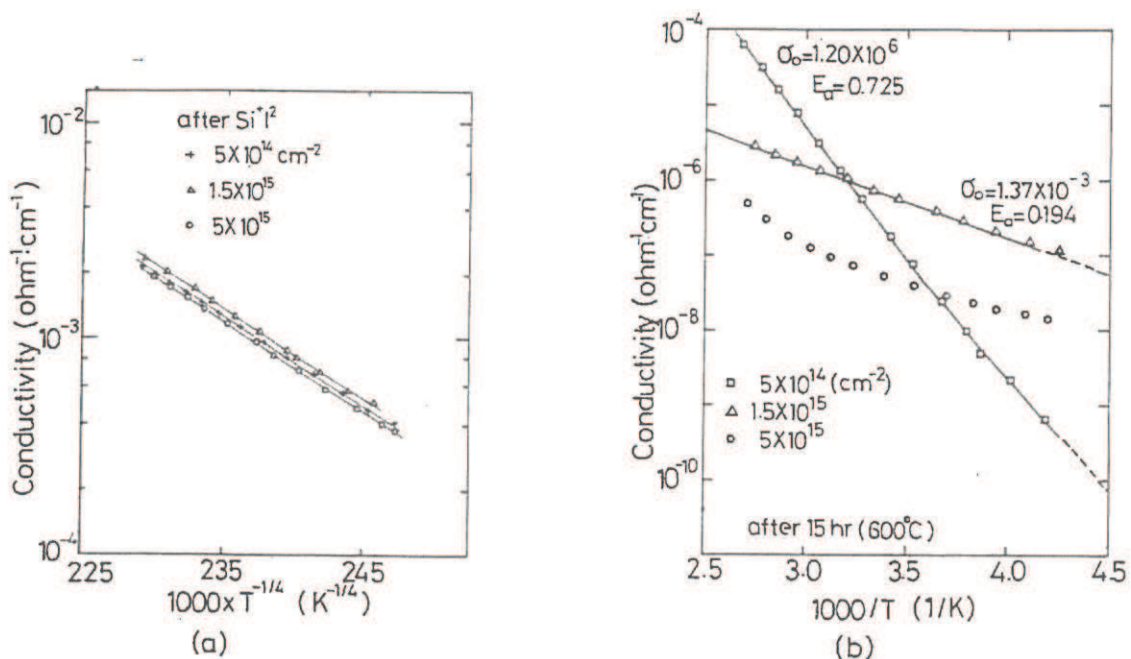


図4-3 導電率の温度依存性：（a）Si<sup>+</sup>イオン注入後（b）15時間アニール後。

σ<sub>0</sub> : T<sup>-1</sup> = 0における導電率の値。

ーズ注入の膜 ( $\Delta$ ) もまた活性化型の導電を示すが、その活性化エネルギーは小さい。したがって、この膜は結晶化寸前の状態、即ち準安定なアモルファス状態にあると考えられる。 $5 \times 10^{15} \text{ cm}^{-2}$ の高ドーズ注入膜 ( $\bigcirc$ ) は異なった型の導電機構を示している。おそらく、この状態は、非平衡なアモルファスから準安定なアモルファスへの過渡的な状態を示している。100時間アニール後では、全ての膜は多結晶化している。

結晶化前の無秩序な状態と結晶化後の状態との相違を調べる為に、各々のドーズとアニール条件に対してESR解析を行った。(付録2) 表4-1において、サンプルR2、R3とR8はイオン注入後である。全てのサンプルは、 $10^{19} \text{ cm}^{-3}$ 以上のスピン密度を示し、その

表4-1 ESR中心密度

Sample no.	Si <sup>+</sup> dose (/cm <sup>2</sup> )	Annealing	Spin density (/cm <sup>3</sup> )	g value
R2	$5 \times 10^{14}$	0	$1.08 \times 10^{19}$	
R3	$1.5 \times 10^{15}$	0	$1.17 \times 10^{19}$	2.0065
R8	$5 \times 10^{15}$	0	$1.28 \times 10^{19}$	2.0017
R4	$1.5 \times 10^{15}$	3h, 600°C	$3.30 \times 10^{18}$	—
R6	$1.5 \times 10^{15}$	30h, 600°C	$1.50 \times 10^{18}$	—

Conditions: 153 K, 8.0 mW,  $\pm 50$  mT, 6.3  $\mu$ T.

値は僅かだが、Si<sup>+</sup> ドーズに依存している。イオン注入された膜は多くのダングリングボンドを持っており、ドーズが高いほどダメージが大きいと考えられる。600°Cアニール後、スピン密度はまず急激に減少し、多結晶化した30時間後は更に減少する。一般に、ホッピング導電の導電率値の $T^{-1/4}$ に対する傾きは、膜の無秩序の程度を意味する。図4-3 (a)より、Si<sup>+</sup> ドーズが $1.5 \times 10^{15} \text{ cm}^{-2}$ の膜の導電率 $\sigma$ が、次式に従うことが分かる。

$$\sigma = 7.49 \times 10^6 \cdot \exp(-95.2 \cdot T^{-1/4}) \quad (4-1)$$



スピン密度と広域ホッピング導電との間の関係はStuke<sup>4-5)</sup>によって与えられている。スピン密度 $N_s > 10^{18} \text{ cm}^{-3}$ で、Stukeと同様に $\Delta E = 0.25 \text{ eV}$ と仮定すると、導電率は $N_s$ と次式で関係する。

$$\sigma = \sigma_0 \exp \left[ - \left\{ 16 \Delta E \alpha^3 / (k T N_s) \right\}^{1/4} \right] \quad (4-2)$$

$\Delta E$ は、スピンの準位により覆われたエネルギー範囲。結果である式(4-1)と、式(4-2)より局在波動関数の減衰長 $1/\alpha$ を求めると $3.5 \sim 3.8 \text{ \AA}$ になる。この値はStukeの結果に一致し、 $\text{Si}^+$ イオン注入された膜の電子波分布状態は完全に局在していることを示す。

$\text{Si}^+$ ドーズとアニール時間に対する粒径成長を更に詳しく調べる為に、TEM観察を行った。(図4-4) 図4-4(a)は、 $1.5 \times 10^{14} \text{ cm}^{-2}$ の $\text{Si}^+$ を低ドーズ注入し、続いて $600^\circ\text{C}$ でアニールした膜に対するTEM写真を示す。 $\text{Si}^+$ イオン注入後、膜は完全にアモルファス化していない。 $100$ 時間後でも粒径はまだ小さい。 $\text{Si}^+$ イオンドーズを $5 \times 10^{14} \text{ cm}^{-2}$ に増加すると、図4-4(b)に示すようにほとんどアモルファスになった。アニール後は粒径はやや増大している。更に高ドーズの $1.5 \times 10^{15} \text{ cm}^{-2}$ では、アニール中に大きな樹枝状結晶粒が現れ、アニール後その最大粒径は $1 \mu\text{m}$ にも達している。 $5 \times 10^{15} \text{ cm}^{-2}$ の非常に高ドーズの場合には、結晶粒の核発生は遅れるが $200$ 時間後に最大粒径は $5 \mu\text{m}$ に達した。(図4-4(c)) 上述の結果をまとめると、最大粒径とアニール時間との間の関係が図4-5に示される。結局、 $\text{Si}^+$ イオンドーズが高い程粒径は大きくなり、核発生は遅れる。おそらくこの現象は、高ドーズ膜ではよりダメージが大きいので、核発生率は小さくなってしまふからであろう。 $4.4 \text{ eV}$ 付近のU-V反射ピーク<sup>4-6)</sup>から、図4-6に示すように同様の結果が得られた。似たふるまいが光導電率からも得られた。(図4-7)

#### 4-1-3 結論

$\text{Si}^+$ イオン注入した非常に薄いSi薄膜のランダムな固相成長のふるまいと、それに関連した電気的特性を調べた。広域ホッピング導電を示す $\text{Si}^+$ イオン注入した膜では、光導電は示さなかった。ESR中心密度は $10^{19} \text{ cm}^{-3}$ 以上の値を示し、またそれは $\text{Si}^+$ イオンドーズに依存する傾向を示した。 $600^\circ\text{C}$ アニール後に、微小欠陥を含む樹枝状の結晶粒の成長が



観察された。同時に、この多結晶化したS i 膜は顕著な光導電を示し、暗導電率は活性化型に変化し、またこれにともなってE S R中心密度は激減した。S i <sup>+</sup> イオンドーズが高い程、核発生時間は遅れ、その結果としての到達粒径は大きくなった。最大粒径は5 μ mに達した。この大粒径ポリS i 膜による高性能なT F Tが期待される。

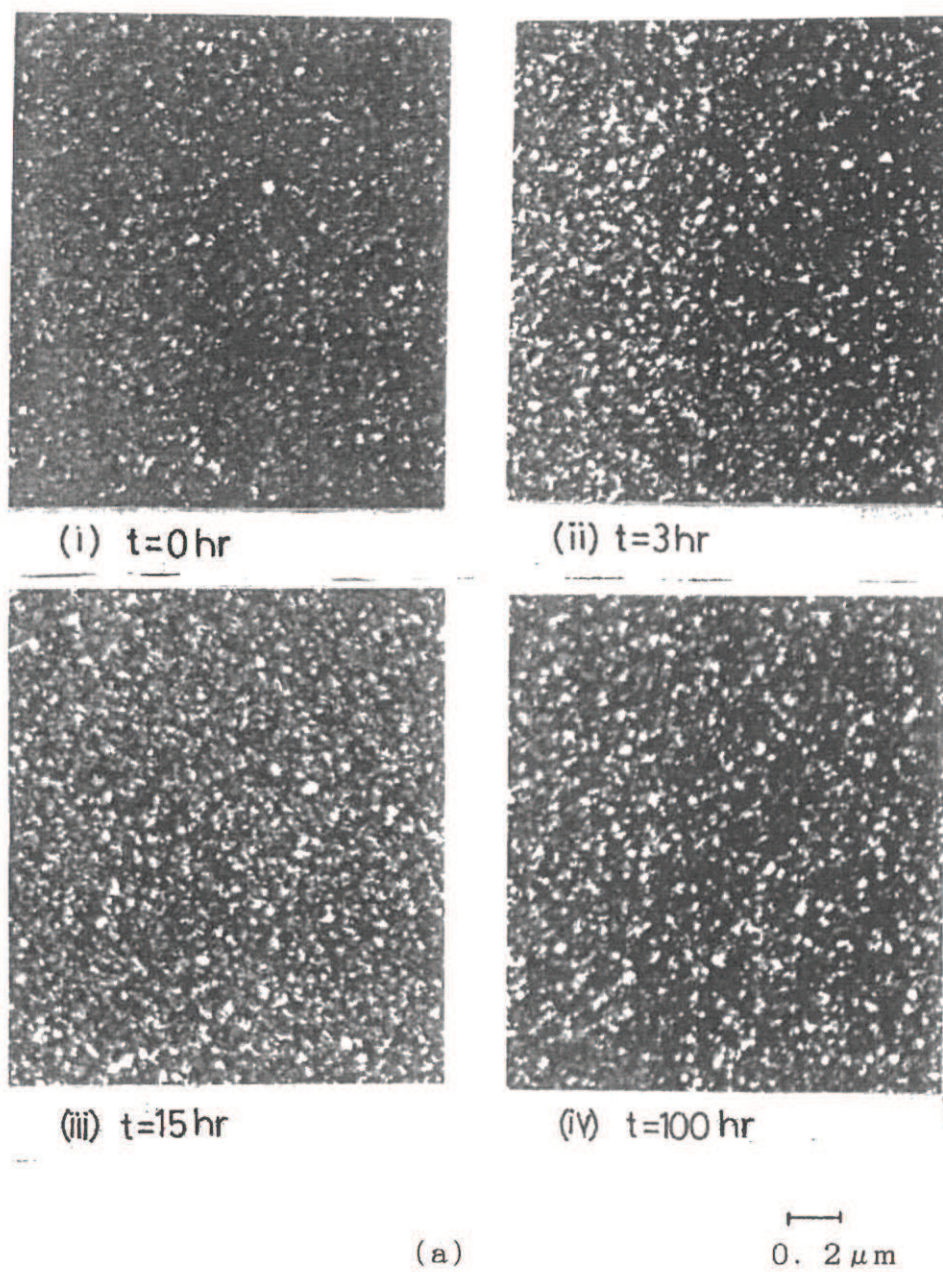
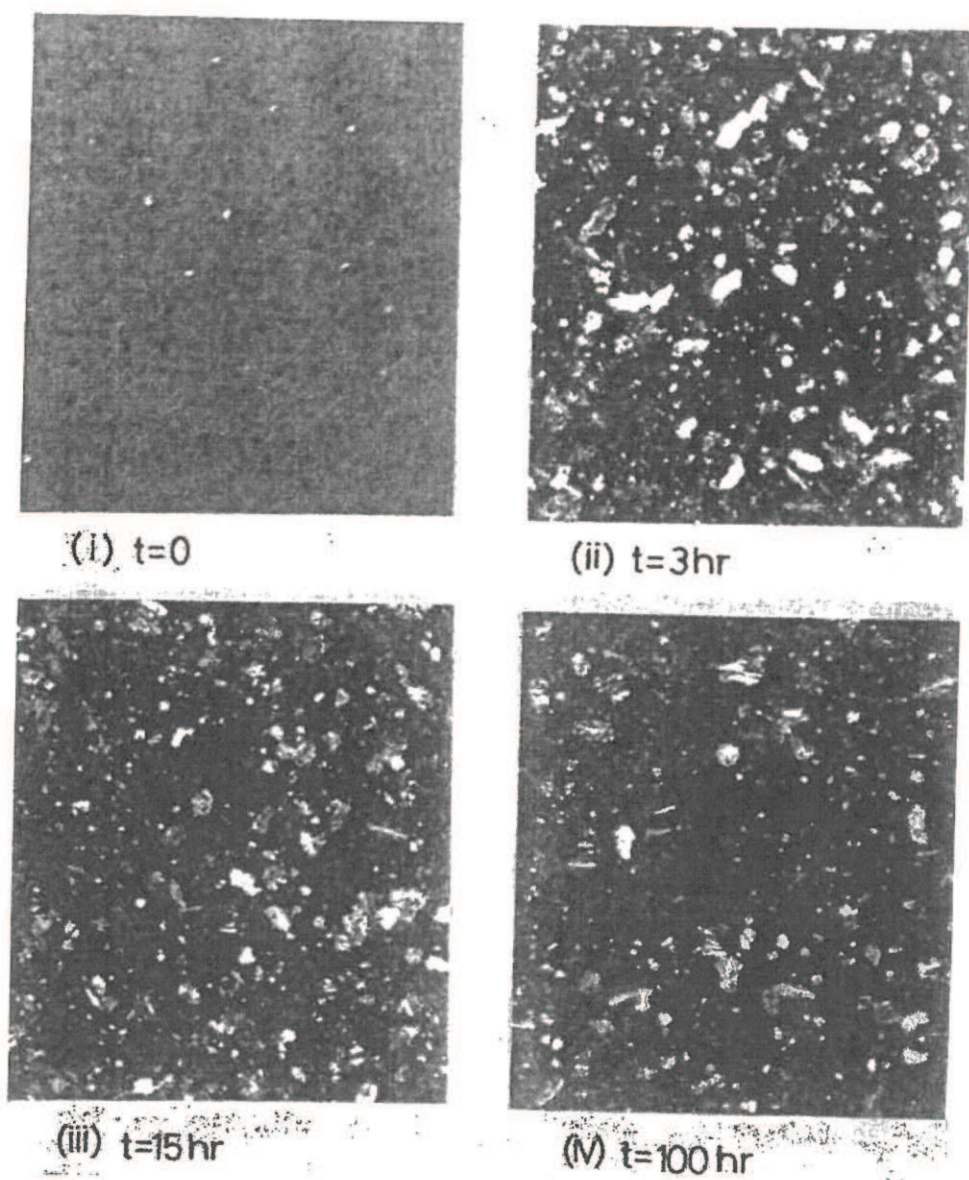


図4-4 アニール時間に対するTEM像。(Si<sup>+</sup> ドーズ:  $1.5 \times 10^{14} \text{ cm}^{-2}$ )

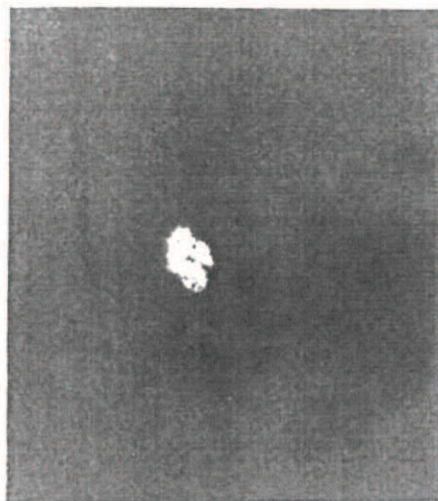


(b)

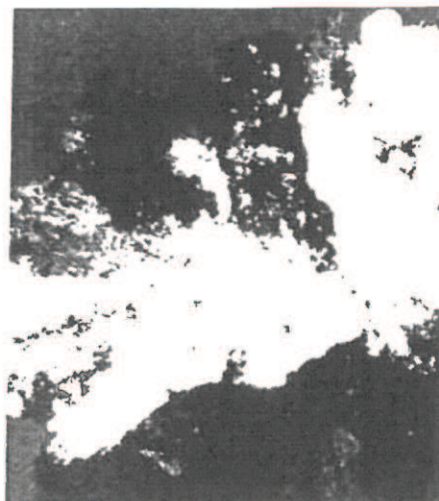
0.2  $\mu\text{m}$

図4-4 アニール時間に対するTEM像。(Si<sup>+</sup> ドーズ:  $5 \times 10^{14} \text{cm}^{-2}$ )

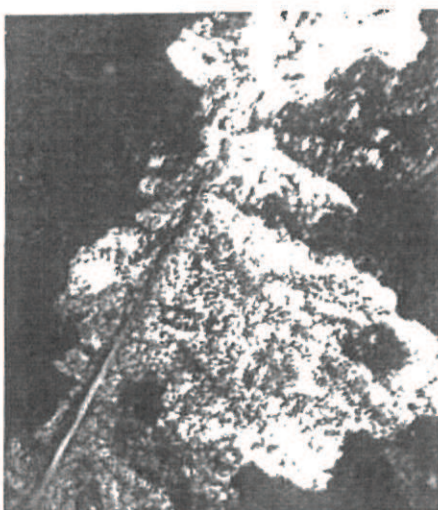




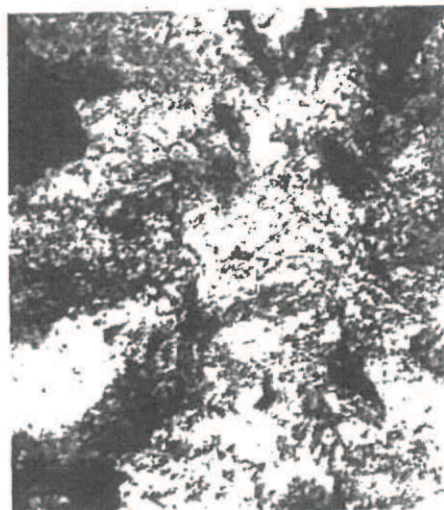
(i)  $t=15\text{ hr}$



(ii)  $t=40\text{ hr}$



(iii)  $t=100\text{ hr}$



(iv)  $t=200\text{ hr}$

(c)

0.2  $\mu\text{m}$

図4-4 アニール時間に対するTEM像。(Si<sup>+</sup> ドーズ:  $5 \times 10^{16} \text{ cm}^{-2}$ )

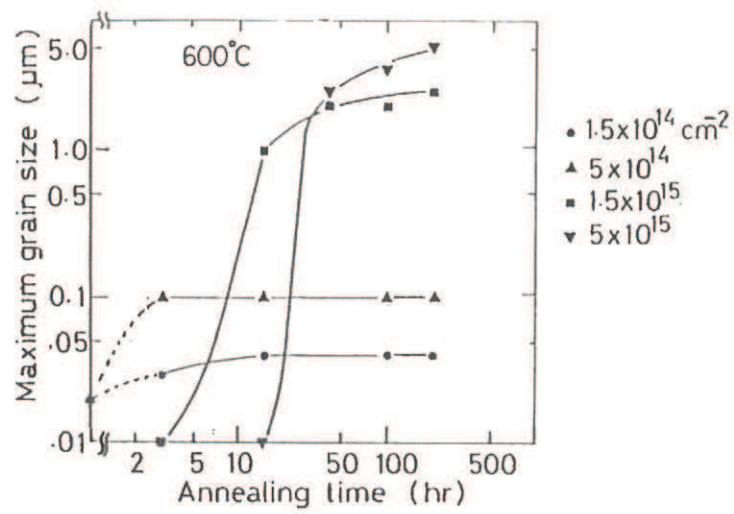


図4-5 TEM観察より求めた最大粒径。

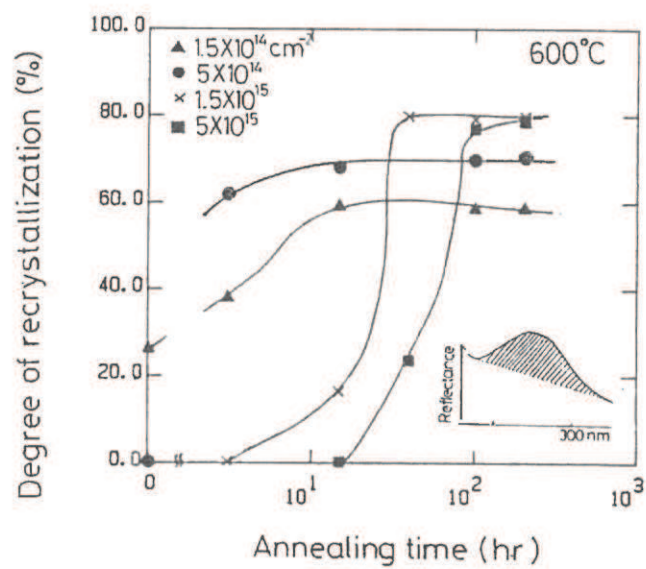


図4-6 UV反射ピーク面積比。(c-Si=100%)

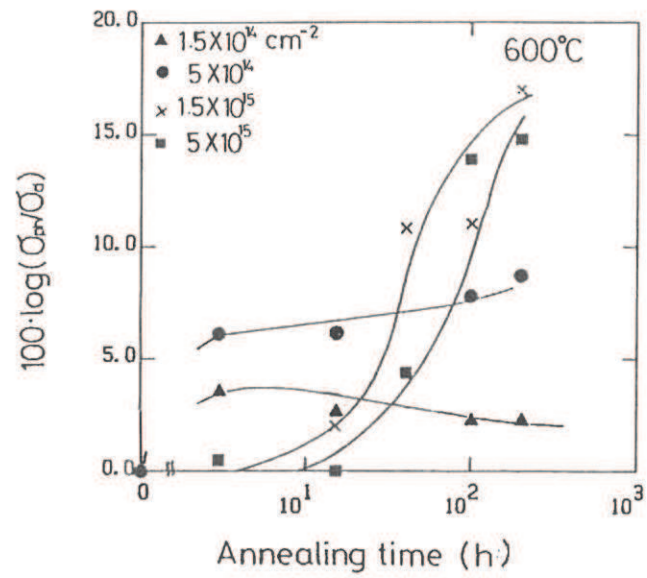


図4-7 アニール時間に対する光導電率値の暗導電率値に対する比。



#### 4-2 グロー放電アモルファスSi薄膜からの固相成長<sup>4-7)</sup>

4-1で述べたように、大粒径で改善された電気的特性をもつ超薄ポリSi膜が、CVDポリSiに対するSi<sup>+</sup>イオン注入アモルファス化とその後のアニールにより得られた。この方法は、SOIや他の応用において低温プロセスでの結晶化技術として期待される。1000Å以下のSi薄膜形成において、グロー放電水素化アモルファスSi (a-Si:H) は、より大面積化に有利であり、また膜厚の制御性もよいと考えられる。更に、より低温化プロセスに有利である。したがって、Si<sup>+</sup>イオンを800Å厚のa-Si:H膜に注入してみた。この無秩序なネットワークの特性とその後アニールされた状態をFTIR (Fourier Transformed Infra-Red) スペクトロスコピー、光導電率および暗導電率の温度依存性の測定、およびTEM観察により調べてみた。

容量結合型反応炉中に、Arガスにより希釈したSiH<sub>4</sub> (シラン) ガスを0.2 Torrの圧力で満たし、高周波のグロー放電法により、約200℃に加熱された石英基板上に、800Å厚のSi膜を堆積させた。このa-Si:H膜に対して、 $1.5 \times 10^{15} \text{ cm}^{-2}$ のドーズ、40 keVの加速エネルギーで、Si<sup>+</sup>イオンを注入した。この結果、アモルファス状態は、多くのSiダンダリングボンドによる大きなギャップ内準位密度をもった褐色の別の異なったランダムなネットワーク状態に変化した。FTIRによる測定結果から、 $2080 \text{ cm}^{-1}$ ちかくの吸収ピークは消失し、 $2000 \text{ cm}^{-1}$ ちかくのピークのみ観察された。(図4-8)  $2000 \text{ cm}^{-1}$ ちかくの吸収ピークは、Si-Hモードにより構成されるネットワークから生じると考えられている。すなわち、一つのSi原子は、二つ以上のSi原子と結合してはいない。このアモルファス状態では、a-Si:H膜特有の顕著な光導電は消失し、無秩序な状態特有の典型的な(第2章2-1-1で述べた)広域ホッピング導電を示す。このように、Si<sup>+</sup>イオン照射によって、Siネットワークは多くのダンダリングボンドをもつ無秩序な状態に変化した。イオン注入の際、水素原子はいったん、Si原子から切れ、結果として生じた多くのSiダンダリングボンドに均一に再結合したと考えられる。

600℃のアニール後、まず水素は膜より放出された。続いて、無秩序な核発生が生じ、樹枝状(もしくは木の葉状)の結晶粒の成長が生じた。(図4-9) この図では、双晶を含んだ{110}面が現れている。結晶粒は、アニール時間とともに増加し、66時間後では、最大2 μmにも達した。Si<sup>+</sup>イオン注入しない膜においても、700℃以上のアニールで多結晶化したが、得られる結晶粒は非常に小さく、またその膜表面は、Si<sup>+</sup>イオン注入し結晶化した場合の表面程平坦ではなかった。イオン注入を受け樹枝状に結晶化した石英上のa-Si:

H膜はうすい黄色の半透明を示した。水素を放出したにもかかわらず、光導電が再現した。また暗導電率は、4-1で述べた減圧CVDの場合（図4-2）と同様に、温度に対して活性化型の依存性を示した。

a-Si:H薄膜にSi<sup>+</sup>イオン注入を行って得られた樹枝状ポリSi膜は、減圧CVDにより得られた膜と同様に、すぐれた電気的特性をもつ。TFTとして、より低温プロセスによる大面積LSIの応用に期待できる。

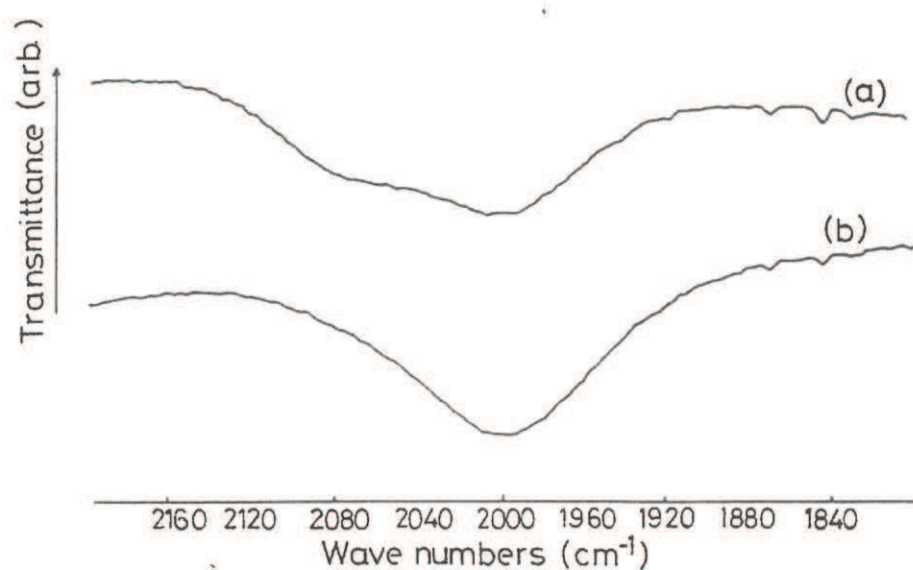
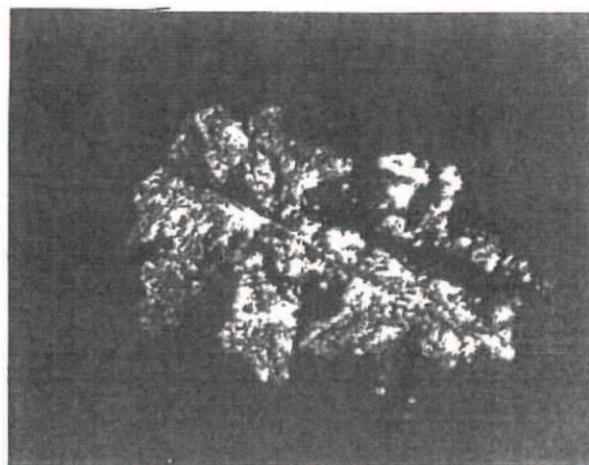


図4-8 FTIRスペクトロスコピーによるSi<sup>+</sup>イオン注入前(a)、後(b)の赤外吸収特性。(800Å厚)



(a)

0.25  $\mu\text{m}$



(b)

図4-9 (a) アモルファス相から生じた一つの結晶粒のTEM像。  
(b) 結晶粒の回折パターン。(600°C、15時間アニール後)



## 第5章 大粒径ポリSiによるTFT

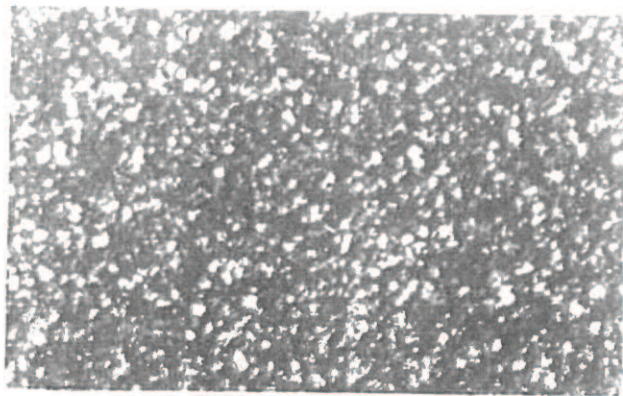
### 5-1 低温プロセスTFT<sup>5-1)</sup>

第2章でも述べたようにポリSi TFTは、アモルファスSi TFTより高いキャリア移動度が得られると期待されている。そこで、ポリSi TFTを石英上に形成する研究が盛んになってきた。第3章で述べたように、ポリSi薄膜を熱酸化によって薄くすることによって、 $20\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 以上の電界効果電子移動度が得られた<sup>3-1, 3-5)</sup>。このTFTプロセスは、CVDポリSiを $1000^\circ\text{C}$ の高温で酸化するため $1000^\circ\text{C}$ の高温を必要とする。よってこの方法では高性能TFTアレイを、低融点（即ち、低コスト）ガラス上に形成することは不可能であり、また3次元LSIプロセスにも適さない。

一般に、TFTのキャリア移動度を増加させるには、まず粒径の増大が求められる。プラズマCVD法により、 $600^\circ\text{C}$ 以下でマイクロポリクリスタルTFTの作製が試みられている<sup>5-2)</sup>。低温膜堆積で大粒径を得ることは一般には困難であるが、Si膜が薄い（ $<1000\text{ \AA}$ ）場合、1回のイオン注入により容易に、ポリクリスタル相をアモルファス相に変えることが出来る<sup>5-3)</sup>。したがって、イオン注入アモルファス化および低温（ $600^\circ\text{C}$ ）固相成長技術を超薄膜Siに応用することで、2次元的に大きな粒径をもつ超薄膜ポリSi TFTが低温で形成可能になる。

#### 5-1-1 実験方法

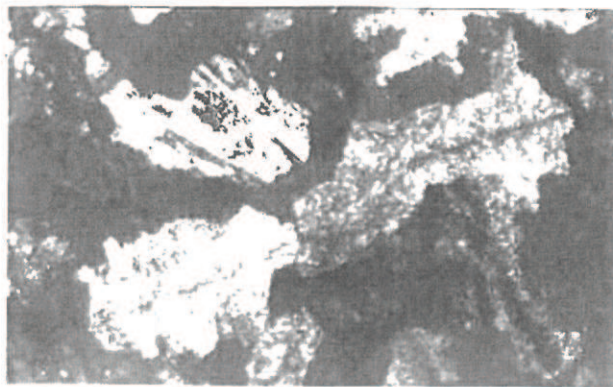
$800\text{ \AA}$ 厚の減圧CVDポリSi膜が、石英基板上に堆積された。この膜に対し、 $1.5 \times 10^{15}\text{ cm}^{-2}$ のドーズでイオン注入が施された。注入深さはSi膜のやや中央より深くなるよう、加速電圧が $40\text{ keV}$ に選ばれた。UV反射法およびTEM観察により、膜は多結晶からアモルファス状態に変わっていることが分かる。（図5-1）続いて、 $600^\circ\text{C}$ 、30時間のアニールを窒素雰囲気中で行った。図に示すように、 $1\text{ }\mu\text{m}$ 大の樹枝状の結晶粒がアニール中に形成された。固相成長後、サンプルの一つは溶液中で（ $\text{NH}_3 + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ ）超薄膜（ $\sim 200\text{ \AA}$ ）にエッチングした。 $n^+$ のソース、ドレイン領域は、ポリSiゲートをマスクとした $P^+$ イオンによるセルフアライン法により、形成した。より薄い膜に対して30時間、



(a)



(b)



(c)

0.25  $\mu\text{m}$

図5-1 Si膜の種々の状態に対するTEM写真。(a)膜堆積後、  
(b)  $\text{Si}^+$  イオン注入後、(c) 600°Cアニール後(15時間後)。

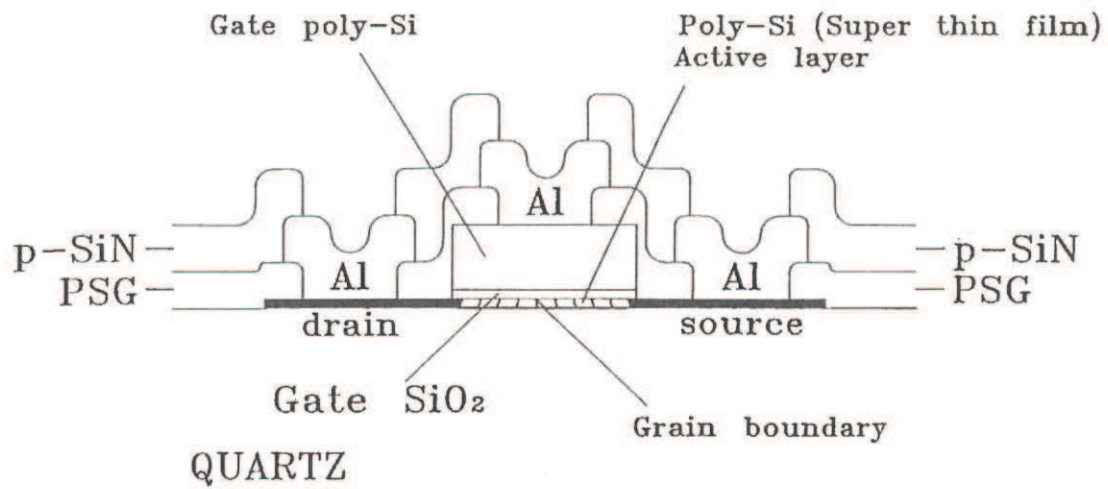


図5-2 低温超薄膜TFT (LSFT: Low Temperature Super-thin Film Transistor) の断面。

800 Å厚の膜に対しては24時間のアニールを600℃で行った。アニール後、アルミニウム電極が蒸着された。最後に電気的特性を改善する為に、TFT上に堆積させたプラズマSiN膜から、400℃において水素化アニールが施された。水素はポリSiの粒界トラップ密度を減少させるのに有効である。作製したデバイス構造を図5-2に示す。

デバイス特性の測定は単一のTFTセルで行った。チャネル長と幅は、各々10 μm、100 μmで、ゲート酸化膜厚は1000 Åである。電界効果移動度は次のリニアおよび飽和領域より求めた。(2-2-1参照)

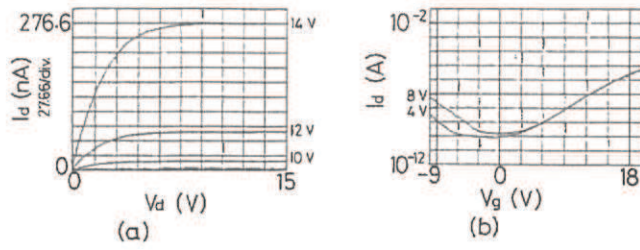
$$I_d = \beta (V_g - V_{th}) V_d \quad \text{リニア領域} \quad (5-1)$$

$$I_d = \beta (V_g - V_{th})^2 / 2 \quad \text{飽和領域} \quad (5-2)$$

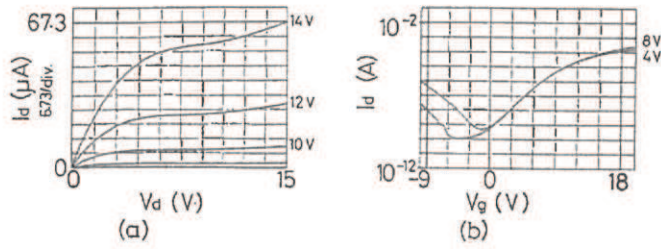
ここで、 $\beta = \mu_n C_i W/L$ .

最後に、回路の特性として、リングオシレータの発振を観察した。

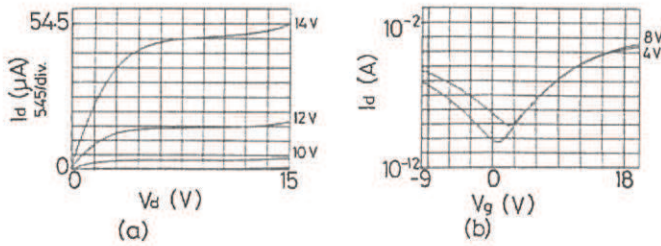




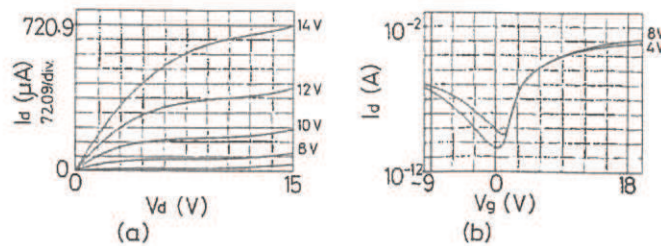
1. Basic characteristics of TFT before hydrogenation: 800 Å thick. (a)  $V_d$ - $I_d$  characteristic. (b)  $V_g$ - $I_d$  characteristic.



2. Basic characteristics of TFT after hydrogenation: 800 Å thick. (a)  $V_d$ - $I_d$  characteristic. (b)  $V_g$ - $I_d$  characteristic.



3. Basic characteristics of TFT before hydrogenation: ~200 Å thick. (a)  $V_d$ - $I_d$  characteristic. (b)  $V_g$ - $I_d$  characteristic.



4. Basic characteristics of TFT after hydrogenation: ~200 Å thick. (a)  $V_d$ - $I_d$  characteristic. (b)  $V_g$ - $I_d$  characteristic.

図5-3 各状態でのTFT基本特性。

### 5-1-2 試料作製および評価法

各々のサンプルに対する基本的な  $V_g - I_d$ 、 $V_g - \log I_d$  特性を、図5-3に示す。膜が薄ければ薄いほど水素化は促進され、ドレイン電流は増加した。対応して、弱反転特性は鋭くなり、しきい値もまた低くなっている。特に、図5-4のように、エッチングにより膜が薄くて水素化の場合、リニア領域の電界効果電子移動度は  $60 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  まで増加した。より薄いサンプルに対しての方が、水素化後のトラップ準位密度の減少効果は<sup>5-4, 5-5)</sup>、 $800 \text{ \AA}$ 厚のより厚い膜に対しての方より顕著のようである。これより、水素は厚いポリSi膜中には十分に拡散していないと推測される。全結果を表5-1にまとめる。J. Y. W.

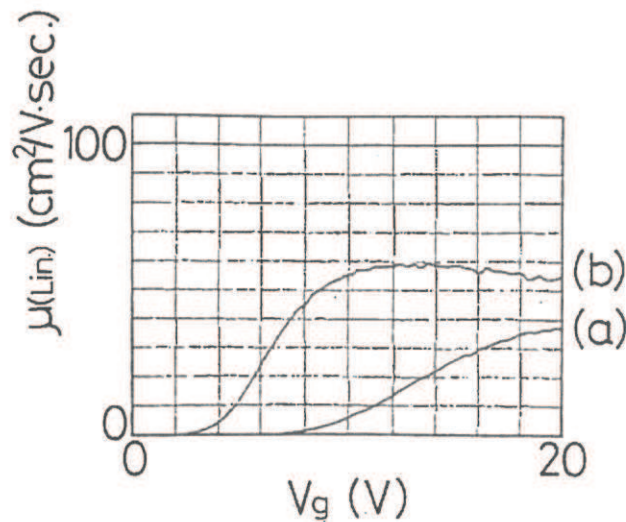


図5-4 電界効果電子移動度のゲート電圧依存性。(a) 水素化前  
(b) 水素化後

Setoの単純な理論<sup>1-7)</sup>では、電子移動度は2-1-3でも述べたように次式で与えられる。

$$\mu = \mu_0 \exp(-E_B / kT) \quad (5-3)$$

ここで、 $\mu_0 \propto L$ 、 $E_B \propto N_t^2$ 。粒径 ( $L$ ) は超薄膜化エッチング ( $\sim 200 \text{ \AA}$ ) や水素化によって変化しないので、移動度の値の増加は粒界におけるバリアハイト ( $\Delta E$ ) の低下、即ち粒界トラップ準位密度の減少によるものと考えられる。

一方、表5-1のゲート電圧スイング ( $S$ ) は図5-3 (b) の弱反転域の傾きから求めたもので、実効的なトラップ密度は膜が完全空乏とすると、第2章2-2-2で述べたように次式 (式 (2-30)) で求められる。

$$N_T = \{ \varepsilon_0 \varepsilon_s / (q d_{Si} d_{ox}) \} \{ \log_{10} e (q/kT) S - 1 \} \quad (5-4)$$

式 (5-4) を計算すると、水素化後の実効トラップ密度は  $800 \text{ \AA}$  厚の場合、 $8.49 \times 10^{18} \text{ cm}^{-3}$  から  $6.01 \times 10^{18} \text{ cm}^{-3}$  へ、 $\sim 200 \text{ \AA}$  厚の場合、 $4.74 \times 10^{18} \text{ cm}^{-3}$  から  $1.49 \times 10^{18} \text{ cm}^{-3}$  へ減少している。また、しきい値は、主に、水素化後と超薄膜化後で弱反転特性が改善されていることにより、低下しているものと考えられる。19段のリングオシレータの発振を図5-5に示す。インバータは、 $8.4 \mu\text{m}$  のチャネル長をもつエンハンスメント型のロードとドライバーから構成される。1段あたりの遅延時間は  $8.13 \text{ ns}$  の結果を得た。

### 5-1-3 結論

$\text{Si}^+$  イオン注入によるアモルファス化とその後の固相アニール技術を使って、 $610^\circ\text{C}$  以下の低温プロセスでポリ  $\text{Si}$  超薄膜トランジスタを作製した。得られたデバイスはすぐれた特性を示した。電気的な特性は、まず水素化で改善され、エッチングにより超薄膜化 ( $\sim 200 \text{ \AA}$  厚) することで更に改善された。電界効果電子移動度は、 $60 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  を示した。リングオシレータの遅延時間は、 $8.13 \text{ ns}$ /段であった。この低温化プロセスにより得られたすぐれた結果により、将来の三次元  $\text{LSI}$  や低融点ガラス上につくるモノリシック  $\text{LCD}$  などにたいして有望な見通しが得られた。



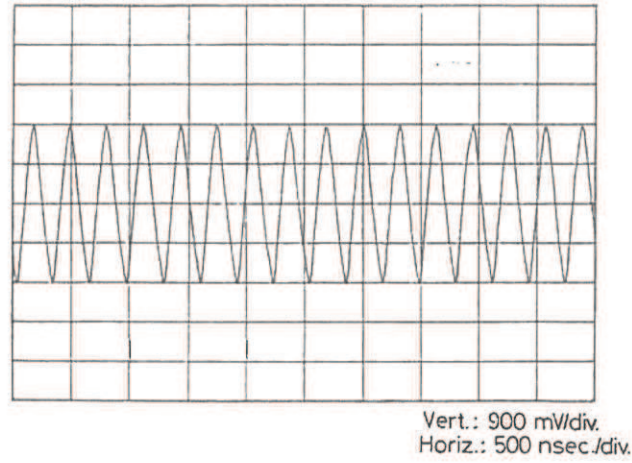


図5-5 19段リングオシレータの発振波形。

( $V_{gg}=30\text{ V}$ 、 $V_{dd}=25\text{ V}$ 、 $\tau_{pd}=8.13\text{ ns}$ .)

表5-1 水素化前後のTFT特性値の変化。

Thickness (Å)	Hydrogenation	$\mu$ (Lin.) ( $\text{cm}^2/\text{V.s}$ )	$\mu$ (Sat.) ( $\text{cm}^2/\text{V.s}$ )	$V_{th}(\text{Sat.})$ (V)	S (V/dec.)	$\log(I_{ON}/I_{OFF})$
800	Before		27	13	2.84(n=47.3)	5
	After	20	28	10	2.03(n=33.8)	6
~200	Before	37	50	11	1.55(n=25.8)	6.5
	After	60	83	7	0.55(n=9.1)	7.3

## 5-2 高温プロセスTFT<sup>5-6)</sup>

### 5-2-1 樹枝状大粒径ポリSiTFTの高性能化<sup>5-7)</sup>

5-1で述べた低温プロセスによれば、大粒径化のため高移動度化は可能だが、まだしきい値が高く、また約200Å厚という超薄膜構造をエッチングにより作製しているので、制御性も良くなく、このままでは高性能なCMOS (Complimentary MOS)<sup>5-8)</sup>をつくることは困難である。よって、固相成長大粒径化後、高温熱処理すると有効ではないかと考えられる。ここでは高温熱処理後のSi膜の改善効果とTFT特性について述べる。

#### 5-2-1-(1) 実験方法

5インチの基板としてSiO<sub>2</sub>/SiとSiO<sub>2</sub>/石英を使った。この上に800Å厚のポリSi膜が減圧CVD法で堆積された。次にSi<sup>+</sup>注入によりアモルファス化された。加速エネルギーとドーズは各々、30~60keV、5×10<sup>14</sup>~5×10<sup>15</sup>cm<sup>-2</sup>の範囲で行った。アモルファス化されたSi膜は、600℃で15時間、炉中で固相再結晶化された。つぎに、この膜を1000℃でドライ酸化(200時間)、または窒素中で1000℃の熱処理を行った。酸化後の膜厚は200~300Å厚である。

酸化または熱処理前後の膜の解析はUV反射、TEM、ESRおよび導電率の温度依存性で調べた。またこの技術をつかって超薄膜TFTを作製した。チャネル長、幅は5-1と同じで各々10μm、100μmであり又、ゲート酸化膜厚は1000Åである。最後に、電界効果移動度のSi<sup>+</sup>ドーズおよび加速電圧依存性を評価した。

#### 5-2-1-(2) 結果及び検討

図5-6に、各々の状態の膜のUV反射スペクトルを示す。酸化(高温熱処理)後、反射ピークは大きく鋭くなっているが、短波長側で若干値が低下している。測定波長λにおいて、反射値Rと表面荒さσとの間には、次の関係がある<sup>5-9)</sup>。(付録1)

$$R \propto \exp(-4\pi\sigma/\lambda) \quad (5-5)$$

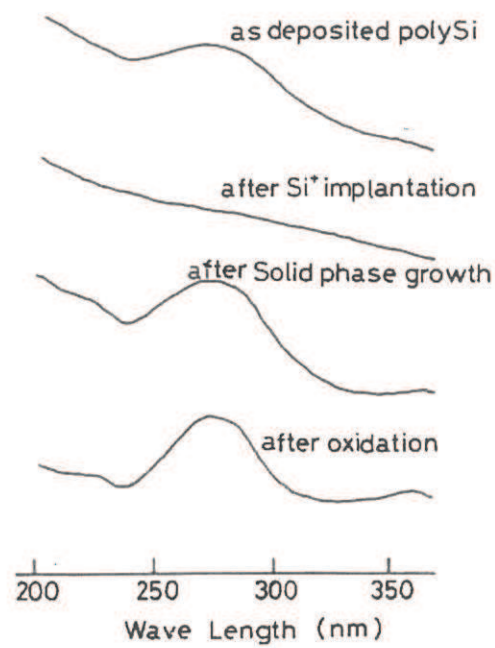


図5-6 各試料のUV反射スペクトル。

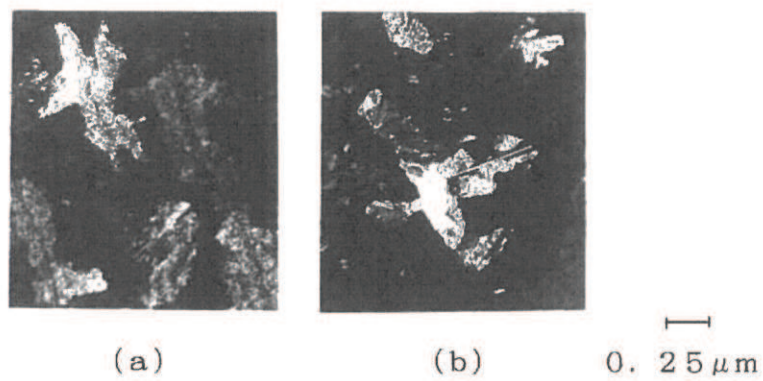


図5-7 多結晶化後のTEM像：(a) 600℃ (15時間) アニール後、  
(b) 更に、1000℃ (2時間) 酸化後。



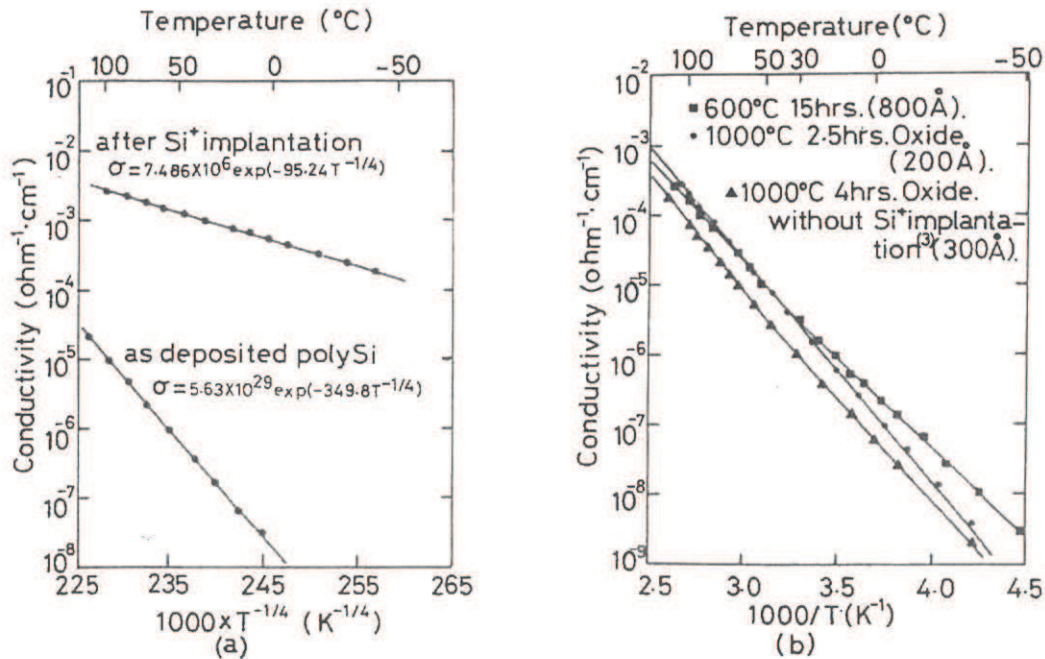


図5-8 導電率の温度依存性：(a) 膜堆積後及び $\text{Si}^+$ 注入後、  
(b) 再結晶化後及び酸化後。

よって、熱酸化後は、結晶性の向上は期待できるが平坦性はよくないことが分かる。図5-7にはTEM像を示す。高温酸化後、1 $\mu\text{m}$ 前後の粒径はほとんどかわっていないが、コントラストがつよくなっているようにみえる。図5-8には導電率の温度依存性を示す。膜堆積後とアモルファス化 $\text{Si}$ 膜は $T^{-1/4}$ 則に従っている。固相アニール後は、図5-8(b)に示すように $T^{-1}$ 則に従っている。すなわち、広域ホッピング導電から、活性化型に変化している。600 $^{\circ}\text{C}$ アニール後の膜( $\blacksquare$ )の活性化エネルギーは高温側で0.58eV、低温側では0.53eVである。一方、酸化された膜( $\bullet$ )のエネルギーはこの温度範囲では変化しなくて、0.64eV一定になっている。また一方、アモルファス化していない堆積後の $\text{Si}$ 膜を直接酸化した場合( $\blacktriangle$ )の伝導も図中に示しているが、やはり二つの活性化エネルギー(0.66eV及び0.56eV)をもっている。この二つの活性化エネルギーは粒界におけるトラップ

に基づいているのではないかと予測しており、固相成長後の酸化は著しく結晶性を改善していると期待できる。即ち、トラップ準位密度は、600℃アニール多結晶化後に一旦減少し、高温酸化後に更に減少していると推測できる。これを確認するために、行ったESR解析結果を図5-9に示す。1000℃熱処理（1時間）後、粒径の増大はほとんどみられなかったが、スピン密度は減少している。

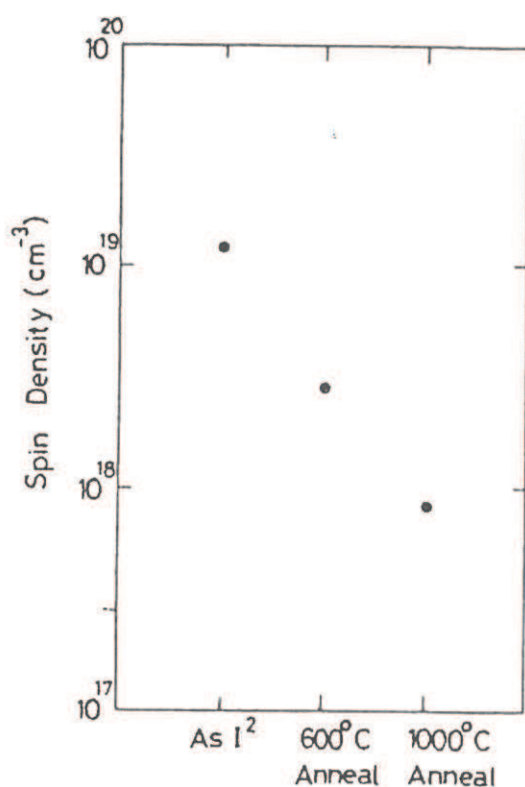


図5-9 各プロセス後のESR中心密度。

これらアモルファス化及び再結晶化プロセスをつかって、超薄膜TFTを作製した。

図5-10は典型的な $V_g - \log I_d$ 特性を示す。図5-11は、最大電界効果電子移動度の $Si^+$ 加速エネルギー依存性を示す。最適エネルギーは30~50 keVであり、注入深さ

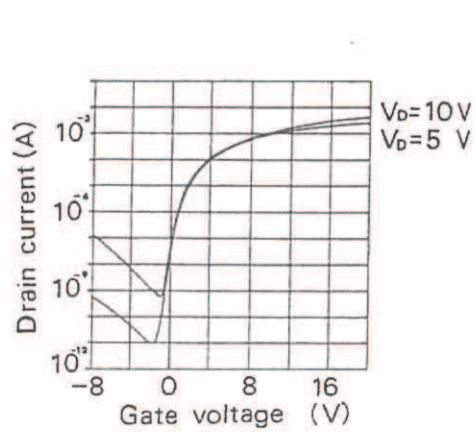


図5-10 TFT基本特性。

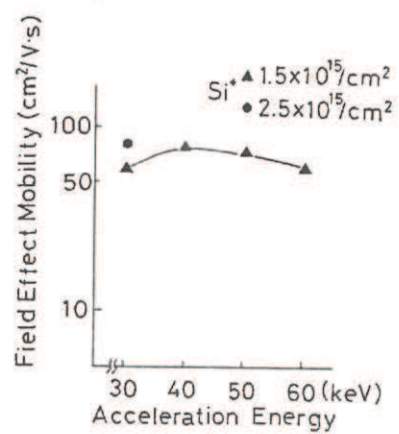


図5-11 電界効果移動度の加速エネルギー依存性。

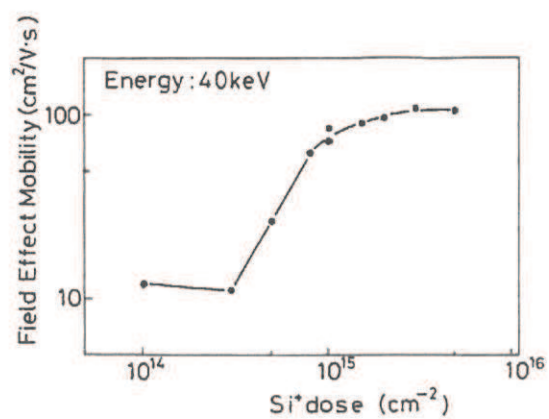


図5-12 電界効果移動度の $\text{Si}^+$ ドーズ依存性。



( $R_p$ ) が膜中心よりやや深いところが、最も効果的のようである。これは即ち、ダメージのピークが膜厚の中心となる条件となる。図5-12は、加速エネルギー40 keVの場合の電界効果移動度 ( $\mu_{FE}$ ) の、 $Si^+$  ドーズ依存性を示す。 $5 \times 10^{14} \text{ cm}^{-2}$ 以下では、 $\mu_{FE}$ 値は $Si^+$  に依存しない。 $5 \times 10^{14} \sim 2 \times 10^{15} \text{ cm}^{-2}$ の範囲では、高い $Si^+$  ドーズ程、 $\mu_{FE}$ 値は大となり、 $100 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ に達する。これ以上の高ドーズでは、 $\mu_{FE}$ 値は飽和している。

上記の方法により、19段のリングオシレータを作製した。インバータはエンハンスメント型のロードとドライバより構成される。チャネル長及び幅は、各々 $14 \mu\text{m}$ 、 $200 \mu\text{m}$ でゲート酸化膜は $1000 \text{ \AA}$ 厚である。 $Si^+$  ドーズと加速エネルギーは、各々 $1.5 \times 10^{15} \text{ cm}^{-2}$ 、40 keVである。一段あたりの遅延時間は $16 \text{ ns}$ で、その値の均一性は、5インチウエハ上で $\pm 1\%$ であった。再現性も良く、チャネル長 $5.6 \mu\text{m}$ では、遅延時間 $1.8 \text{ ns}$ にも達した。また、モノリシックLSI応用<sup>5-10)</sup>に重要な(走査回路)スキャナーを構成してみると図5-13に示すように5 MHz以上のクロック動作が確認された。

### 5-2-1-(3) 結論

$Si^+$  イオン注入後、 $600^\circ\text{C}$ アニールにより形成された樹枝状の大粒径ポリSiを高温酸化(熱処理)することにより、結晶性の改善に伴い、導電特性も変化し、トラップ準位密度の減少と対応した。この膜により作製されたTFTの評価より、最大キャリア移動度の最適条件は、注入深さが膜中心よりやや深いところ、すなわちダメージピークが膜中心付近の場合である。また $Si^+$  ドーズは $10^{15} \text{ cm}^{-2}$ 以上であった。リングオシレータの発振も確認され、高速デバイスとして有望であることが分かった。

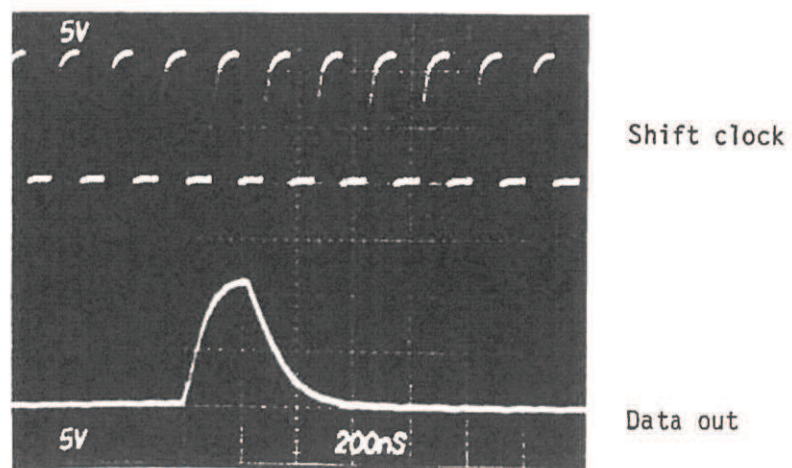


図5-13 5MHzに及ぶ高速スキャナー ( $t_{ox}=500\text{Å}$ )。

## 5-2-2 樹枝状大粒径ポリSi TFTの温度に依存しない一定移動度とリングオシレータ特性<sup>5-11)</sup>

上記のTFTを使えば、石英上に高性能なLSIが形成可能になる。応用例は液晶TV(LCD)、ラインセンサー、プリンターヘッド<sup>5-12)</sup> 等である。このようなデバイス応用におけるFET動作で最も重要な要素であるドレイン電流は、キャリア移動度としきい値によるが、この温度依存性については未だほとんど報告されていない。第2章、電気伝導理論でも述べたように、結晶Siのキャリア移動度はフォノンによる格子散乱に支配される。一方、ポリSiでは主として、粒界バリアハイトによって制限される。したがって、レーザーのようなエネルギービームで溶融<sup>5-13)</sup> されていない通常のポリSiの移動度は、結晶SiのMOSFETと逆の傾向を示す。即ち、温度が低い程、電流は減少する。Si<sup>+</sup>イオン注入アモルファス化後、固相成長したポリSi薄膜は、大きくて平坦な結晶粒をもつ。しかし、その樹枝状結晶構造は、従来の堆積後や熱処理されたポリSi膜<sup>3-1)</sup> (第3章)と全く異なり、膜中に多くの微小な欠陥を含んでいることがTEM観察より分かっている。この固相成長による樹枝状大粒径ポリSi TFTの導電機構と動作限界をより詳細に調べるために、基本的デバイス特性を広い温度範囲で測定し、調べた。

### 5-2-2-(1) 実験方法

評価したデバイスの作製プロセスは次のとおりである。基本的には5-2-1で述べたものと同様である。均一性を更に改善するため、減圧CVDによる700Å厚ポリSi膜に対してSi<sup>+</sup>イオンが二重に打ち込まれた。(25keV ( $1 \times 10^{15} \text{ cm}^{-2}$ ) + 50keV ( $1 \times 10^{15} \text{ cm}^{-2}$ )) このSi膜に対し、500Å厚のゲート酸化膜が熱酸化により作られた。最終的なSi膜厚は500Åである。ソース、ドレイン領域はゲートポリSiをマスクとするAs<sup>+</sup> またはBF<sub>3</sub><sup>+</sup>イオンによるセルフアライン法で形成された。基本特性の評価は、W/L = 20/7 (μm/μm) のチャネル形状で行った。粒界の状況を巨視的に評価する為に、リニア領域の電界効果移動度を導出した。比較として、Si<sup>+</sup>イオン注入を行わない従来の高温熱処理されたポリSi TFT<sup>3-5, 3-1)</sup>、n形の結晶Si MOS-FETおよび水素化アモルファスSi TFTをつかった。アモルファスSi (a-Si:H) TFTは、200℃でRFグロー放電により作製したものを使用した。更に、動特性の評価として、19段のCMOSリングオシレータを作製した。この場合の、構成されたCMOSインバーターのセル形状は、n形



とp形のデバイスに対して各々、 $W/L$ が $20/7$  ( $\mu\text{m}/\mu\text{m}$ )と $40/7$  ( $\mu\text{m}/\mu\text{m}$ )である。温度測定は、真空中にひかれたチャンバ内で80 Kから380 Kまで変化させて行った。

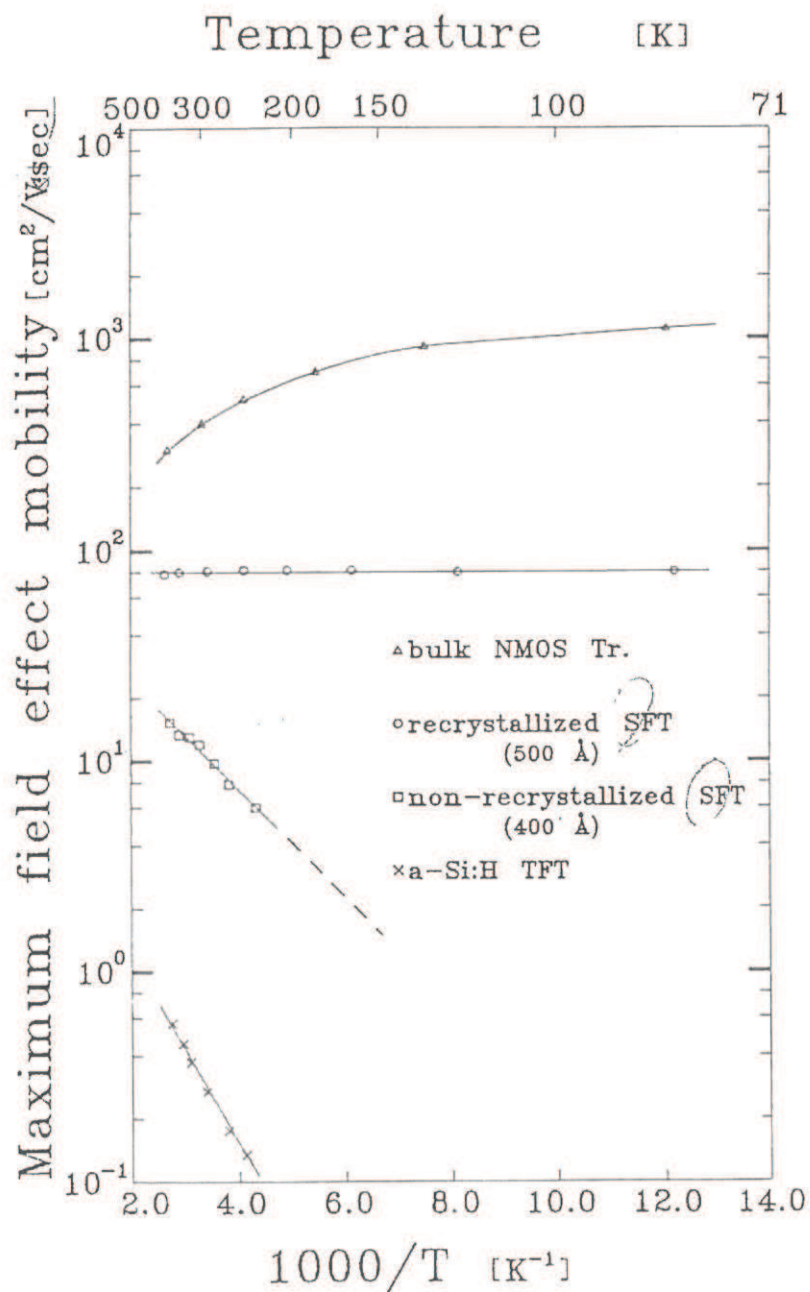


図5-14 各TFTに対する最大電界効果電子移動度の温度依存性。

## 5-2-2-(2) 結果および検討

各温度に対する最大電界効果電子移動度の値を、図5-14に示す。移動度の値はリニア領域におけるドレイン電流の式から求めた。

$$\mu = (\partial I_d / \partial V_g)^{-1} C_{ox}^{-1} (L/W) V_d^{-1} . \quad (5-6)$$

図5-14で、結晶Si-MOSFETの移動度の値は、アモルファスSiや従来のポリSi-TFTの場合と異なった傾向の温度依存性を示している。これは前者ではキャリアがSiの格子によって散乱されており、a-Si:Hではキャリアが導電帯近くのテール準位密度によって制限される<sup>5-14)</sup>ことを意味する。ポリSi膜の場合、キャリア導電機構は、一般には前にも述べてきた様に、粒界における電氣的なバリアによって制限されると説明されている<sup>1-4)</sup>。従って、通常移動度の値は、結晶粒径が大きい程、もしくは粒界トラップ密度が小さい程大きくなる。更に、移動度の活性化エネルギーは超薄膜に対して急激に減少する<sup>3-11)</sup>(3章、3-2)。一方、Si<sup>+</sup>イオン注入アモルファス化後、固相成長により再結晶化したSi膜の移動度は、広い温度範囲においてほとんど温度依存性がみられない。このことより、樹枝状結晶粒をもつ再結晶化Si膜の導電機構が、従来のポリSiのものとは全く異なり、粒界バリアは著しく低下していると考えられる。この説明としては、別々の結晶粒が発生し樹枝状構造を形成するとき、粒界に沿って結晶格子がある領域のみ整合するか、隣同士ちかい角度で配位するためではないかと推測している。しかしながら、粒界バリアハイトの低下にもかかわらず、電界効果移動度の値(約100 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup>)は、1 μm程の大粒径にしてはそれ程大きくはない。おそらく、キャリアは樹枝状結晶粒界だけでなく、微小な欠陥によっても散乱されているのであろう。膜中に、双晶、転位など微小な欠陥がTEM像から観察される。

しきい(電圧)値もまた、キャリア移動度と同様にドレイン電流に影響する重要な要素である。再結晶化TFTに対するしきい値の温度依存性も、従来のポリSi-TFTに比べて非常に小さい。n型およびp型の再結晶化TFTのドレイン電流を図5-16に示す。n型およびp型各々のデバイスの電流変化は非常に小さく、その値は逆の温度依存性を示している。CMOSインバーター特性は、両方のチャネルのドレイン電流に影響される。19段のリングオシレーター発振を測定すると、高い移動度と少ない寄生容量により、遅延時間とパワーはほとんど温度に依存しなく、図5-17に示すように7 nsというかなりの高速であった。このポリSi-TFTによるCMOSの独特で高速な動特性を使えば、大面積エレクトロニクスにお

ける水晶発振子なしのモノリシッククロックジェネレーター等の広範な応用が可能である。また超伝導配線との集積化、更には低温でのエレクトロルミネッセンスのモノリシック駆動として、将来の応用が期待される。

### 5-2-2-(3) 結論

樹枝状に再結晶化したSi TFTの基本的なデバイス特性を、80 Kから380 Kの広範な温度範囲で評価した。最大電界効果移動度はこの温度範囲でほとんど一定の値を示し、ドレイン電流の変化は非常に小さかった。この再結晶化Si膜を用い、CMOSインバーターの17段リングオシレーターが構成された。この結果、遅延時間は7 ns/段と非常に短く、広い温度範囲でほぼ一定であった。この独特で優れた特性を持つ再結晶化TFTは、広範な応用の可能性がある。

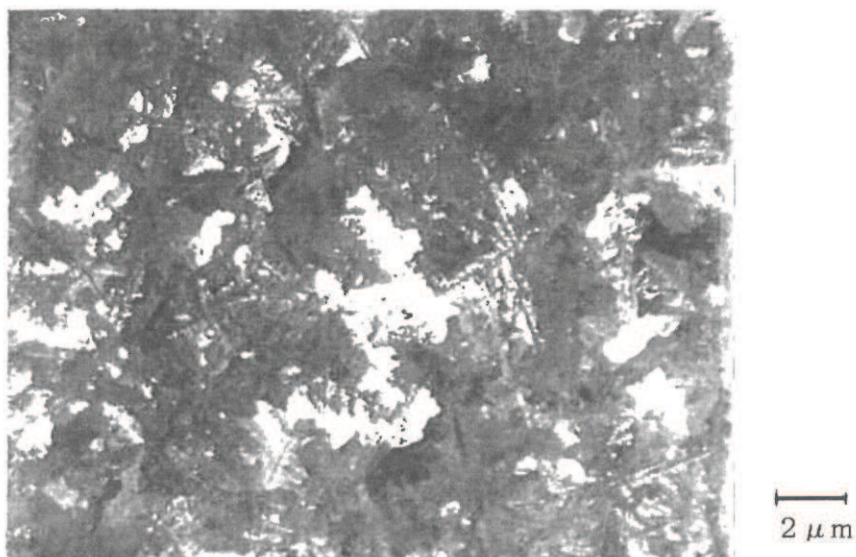


図5-15 60時間(600°C)アニール後の樹枝状結晶粒のTEM像。



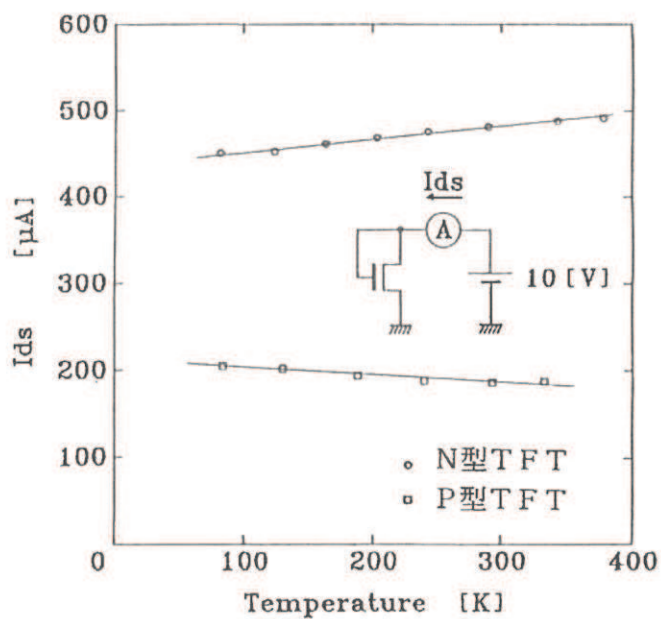


図5-16 n型とp型の試料に対するドレイン電流の温度依存性。

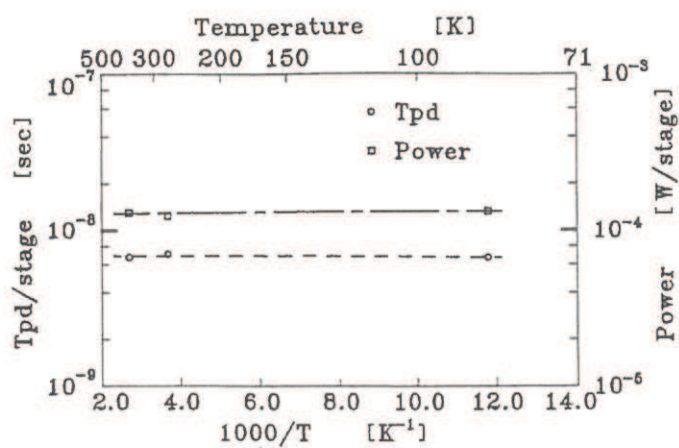
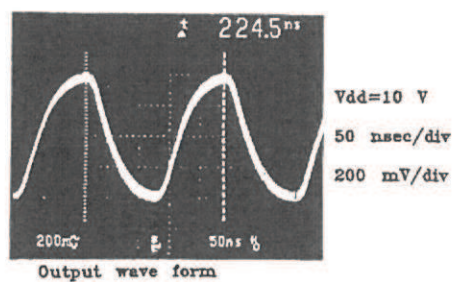


図5-17 リングオシレーター特性の温度依存性。

## 第6章 エキシマレーザーアニール技術

### によるポリSi TFT

高密度SRAMへの応用として、またLCD、ラインセンサー等のガラス上のLSIとして、ポリSiは近年研究開発が活発になってきている。前にも述べたように、ポリSiはアモルファスSiに比べ、高移動度化が期待でき、より高性能化が可能となる。しかし、製法、素子の高性能化の要求で800℃以上の高温プロセスを使うため、下地（LSI，ガラス）に影響を与える。エキシマレーザー（付録3）はパルス紫外光であり、Siの吸収係数が $10^6 \text{ cm}^{-1}$ と大きいために下地に熱の影響を与えず、Si薄膜層のみの、効率の良いアニールが可能になる。現在のエキシマレーザー装置は、実用的に考えると出力パルスエネルギーに制限があるものの、年々進歩しつつより高エネルギー化している。現在、特に大面積基板に対し、小面積のビームを重ねながらスキャンさせるマルチショット方式が報告されている<sup>6-1)</sup>。しかし、将来の量産時を考え、スループットの向上に有利なシングルショットアニール方式を提案する。三次元プロセス、ガラス上のLSIを目指し、主にSi<sup>+</sup>イオン注入したTFT活性層へのエキシマレーザーアニール（ELA:Excimer Laser Annealing）効果を調べた。

#### 6-1 チップ毎のシングルパルスによるステップ&リピートアニール方式

紫外域における結晶Siの光吸収係数は、バンド間の遷移吸収に基づき、図6-1に示すように非常に大きくなる<sup>6-2)</sup>。またa-Siもこの領域では同様に、約 $10^6 \text{ cm}^{-1}$ の大きい値をもつ。故に、たとえば308nmのXeClエキシマレーザー光に対する吸収深さは100Å前後となる。よって、超薄膜Si、または超浅接合の直接アニールが可能となる。またエキシマレーザーは数十nsという短いパルス光のため下地基板にはほとんど影響を与えない<sup>6-3)</sup>。このため、液晶などのガラス上につくるLSIでは、低コストである低融点ガラスが使用可能になり、また微細な超LSIでは、三次元化が可能となる。この場合、空間的に均一なビームにより、チップ毎にシングルパルスで、リソグラフィーにおける縮小投影露光方式のようなステップ&リピート方式のアニールが行えれば、ランプアニール技術と同様にスル

ーブットもよくなり、将来の優れたプロセスになりうる。図6-2は、後述する6-3、6-4で行った実験系を示す。レーザーから出たガウシヤンのUVパルス光は、まず、アッテネーターにより所望のエネルギー密度に減衰される。次に、光学系により構成される移動可能なビームホモジナイザーにより均一なエネルギー密度 ( $\leq \pm 5\%$ ) に整形されサンプル上に照射される。

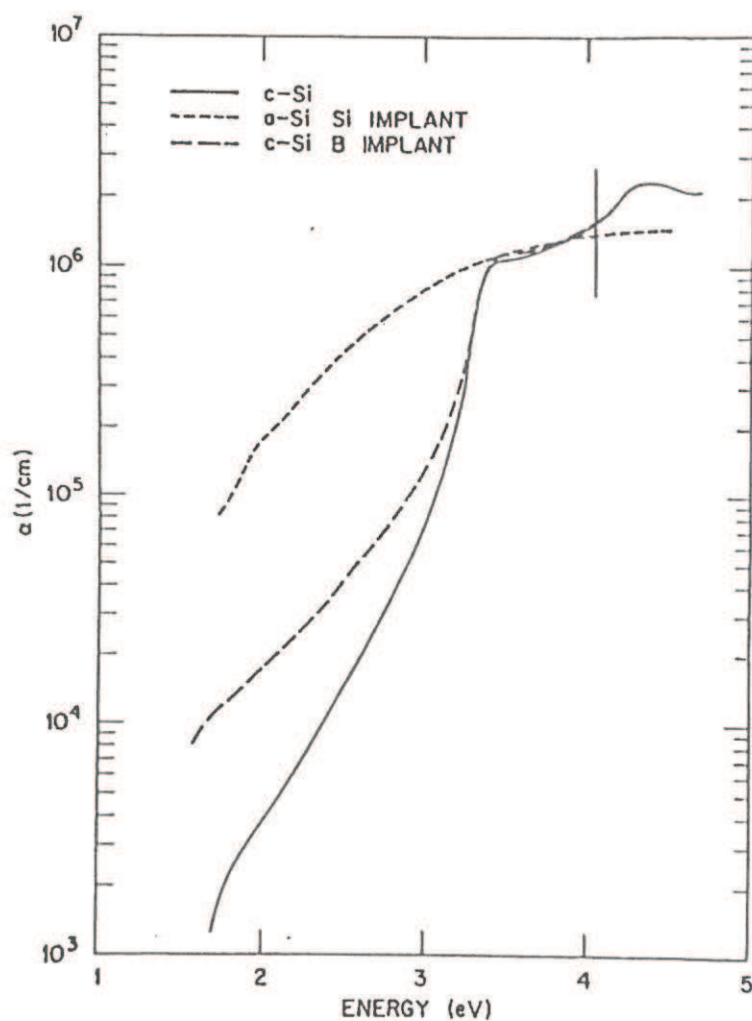
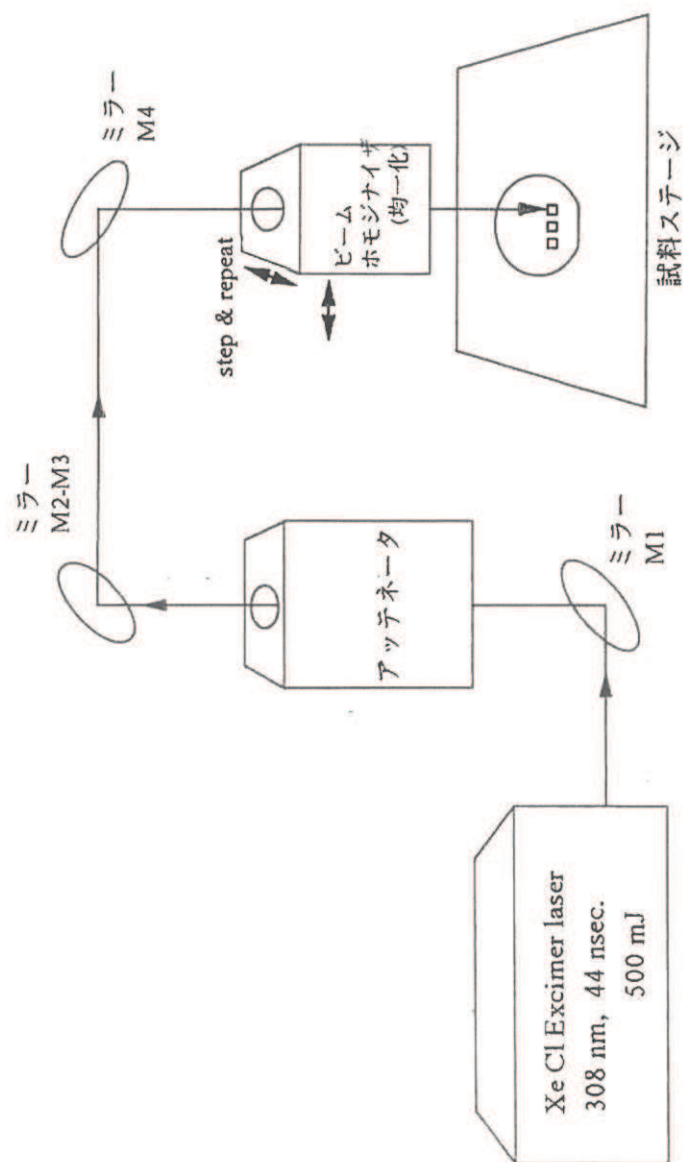


図6-1 Siの光子エネルギーに対する吸収係数<sup>6-2)</sup>。





レーザーアニール装置概略図

図6-2 エキシマレーザーアニール実験系。

## 6-2 アモルファスSiに対する直接アニール<sup>6-4)</sup>

一般に、アモルファスSiはクリスタルSiに比べ、その結合エネルギーは小さいと考えられ、またその融点も低いことが分かっている<sup>6-5)</sup>。このため、より低いエネルギー密度で、Si膜のアニールが可能となる。すなわち、同一のパルスエネルギーでは、照射面積をより大きくすることができる。また溶融されて結晶化したポリSi膜は、固相アニールによるもの比べ、特性向上も期待できる。このことを考慮し、アモルファスSi膜に対するELA効果を調べた。

### 6-2-1 実験方法

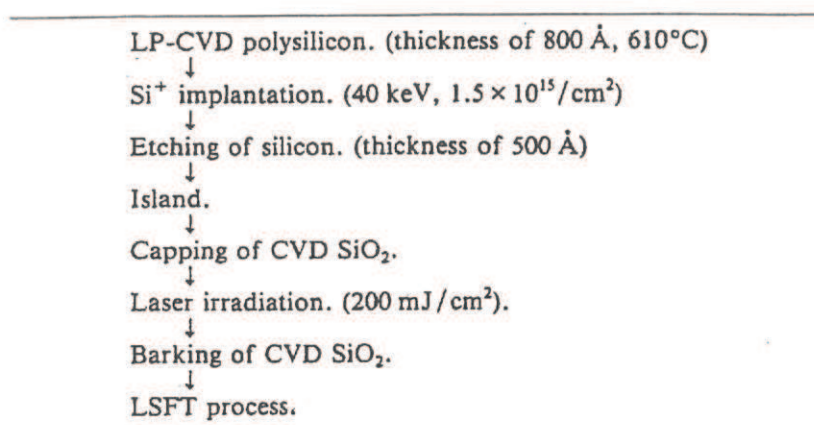
#### 6-2-1- (1) Si<sup>+</sup>イオン注入したSi薄膜に対するUVパルス光照射

石英基板上に、800 Å厚のポリSi薄膜が減圧CVD法により堆積された。基板裏側に付着したポリSi膜は溶液エッチにより剥離した。続いて、Si<sup>+</sup>イオンが、加速エネルギー40 keV、 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ のドーズ範囲で注入された。これらの膜を直接多結晶化するために、パルス幅20 nsのKrFエキシマレーザー ( $\lambda = 249 \text{ nm}$ ) を使用し、シングルパルスで行った。パルスエネルギー密度は $300 \text{ mJ cm}^{-2}$ 以下である。この場合、Si膜表面からの入射と石英裏面からの入射の両方を行い、アニールのエネルギー効率を比較した。結晶性の評価はUV反射法<sup>6-6)</sup>とTEM観察で行った。

#### 6-2-1- (2) TFT作製

TFT作製プロセスを表6-1に示す。Si表面は、外的な不純物混入を防ぐために、CVD-SiO<sub>2</sub>膜で覆った。レーザー光は石英基板側から入射した。SiO<sub>2</sub>剥離後は、5-1で述べた低温プロセスTFTの場合と同様である<sup>5-1)</sup>。ゲート絶縁膜は500 Å厚のCVD-SiO<sub>2</sub>膜である。全プロセスは610 °C以下で行い、 $W/L = 100/2$ と $100/10$  ( $\mu\text{m}/\mu\text{m}$ ) の形状セルを作製し、評価した。

表6-1 レーザーアニールによるポリSi TFT作製プロセス。



## 6-2-2 結果および検討

エキシマレーザーのパルスエネルギーが約100 mJ cm<sup>-2</sup>以下の場合、280 nm付近のUV反射ピークの変化はみられなく、Si膜はアモルファス状態のままであった。100 mJ cm<sup>-2</sup>以上になると、UV反射ピークが現れ、結晶化が始まる。各照射パルスエネルギーに対するUV反射スペクトルを図6-3に示す。パルスエネルギーの増加とともに、おそらく結晶粒径の増加のためピークの高さは増加している。この場合、結晶化はひとつのパルスで飽和している。この後、数パルスのショットを追加しても、UV反射ピークは更に増加はしなかった。図6-4には照射パルスエネルギーに対する結晶化度（結晶Siに対するUV反射ピーク面積比）をSi<sup>+</sup>イオンドーズに対して示す。結晶化度すなわち実効粒径は、パルスエネルギーだけでなくSi<sup>+</sup>イオンドーズにも依存している。同じエネルギー密度のレーザーパルスの場合、Si<sup>+</sup>イオンドーズが増加するほど、得られる実効粒径は減少する。より高Si<sup>+</sup>イオンドーズの場合、イオン注入によるダメージがより大きいので、結晶化に要するエネルギーはより大きくなると考えられる。第4章で述べた固相成長の場合は、到達粒径は、イオンダメージに起因する核発生の遅れによって、Si<sup>+</sup>イオンドーズが高いほどより大きくなる<sup>6-7)</sup>。ダメージが大きいほど、核発生の頻度が少なくなり、ひとつの結晶粒と隣で生じた結晶粒がぶ



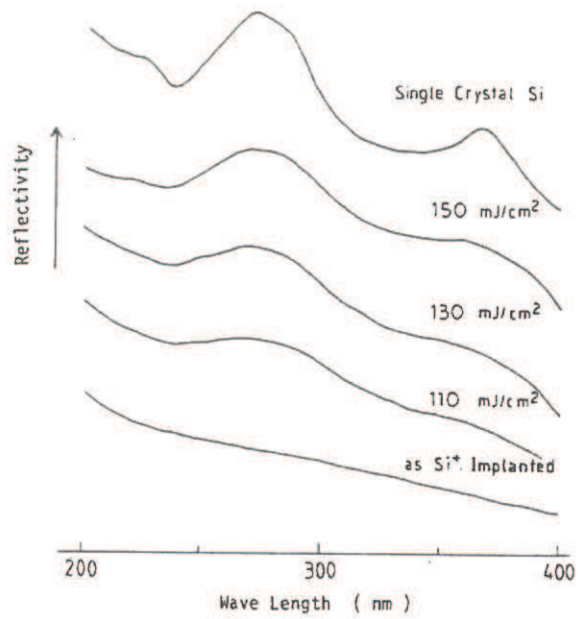


図6-3 照射パルスエネルギーに対するUV反射スペクトル。

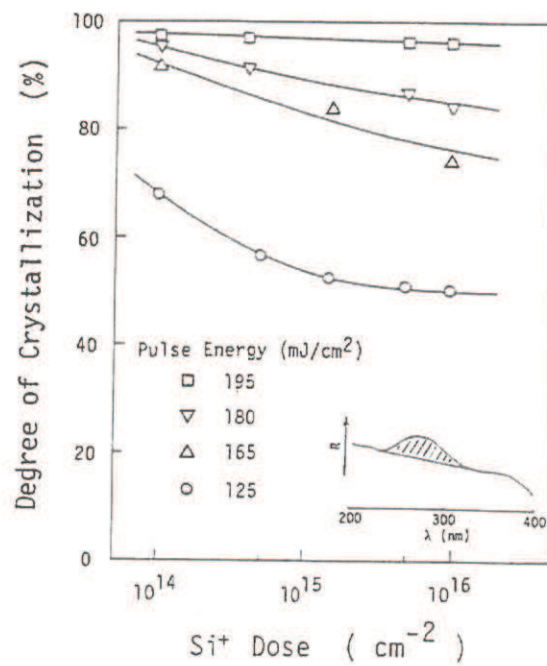


図6-4 アニール時間に対するUV反射ピーク面積比（結晶Siを100%とする）。

つかの確率が低くなるからである。このように、低パルスエネルギー領域においては、瞬間的なパルスレーザーアニールと固相成長とで、結果が逆の傾向を示すのが興味深い。

結晶化が、800 Å厚のSi膜全体で生じているかどうかを確かめるために、Si膜表面と裏面石英側から、UV反射解析を行った。更に、裏面石英側よりのエキシマレーザー照射による結晶化の状態を、通常の表面からの場合と比較した。表面からの照射で低エネルギーの場合 ( $< 130 \text{ mJ cm}^{-2}$ )、膜全体が(多)結晶化してはいなかった。すなわち、石英側の部分はまだアモルファス状態であった。これはSiへの吸収深さが約100 Åであることより理解できる。一方、裏面からの照射の場合、行ったエネルギー範囲 ( $> 100 \text{ mJ cm}^{-2}$ ) では、Si膜の全部が多結晶相に変化していた。TEM観察により求めた平均粒径に対するパルスエネルギー依存性を、図6-5に示す。興味深いことに、粒径は、裏面石英から入射した方が明らかに大きい。よって、エネルギー効率の点からは、裏面入射の方が好ましいと言える。この理由としては、フレネルの反射の式より、石英基板を緩衝的におくことで、反射エネルギー損失が軽減されることが説明できる。この計算をおこなえば、Si表面における反射率は約55%、裏面では約44%である。他の原因としては、二つの入射面間の熱冷却効果の差が考えられる。

$250 \text{ mJ cm}^{-2}$ のパルスエネルギーで、裏面石英側から照射した場合のSi結晶粒の典型的なTEM像を、図6-6に示す。この場合、平均粒径は約800 Åである。粒径はやや小さく、双晶のようないくつかの欠陥がみられるものの、粒内の結晶性は、第4、5章で述べてきた固相再結晶化による大粒径樹枝状結晶粒に比べると、かなり優れている。結晶粒の形は、むしろ、第3章で述べた膜堆積後高温アニールや熱酸化した場合のものに似ている。

エキシマレーザー照射後、表6-1で述べたような600°C以下の低温プロセスにより作製したTFETの基本デバイス特性を、図6-7に示す。鋭い弱反転特性が得られている。リーク電流はかなり低く、高いon/off比と低いしきい値を示している。ほぼ同条件で作製したSi厚500 Åの固相再結晶化樹枝状ポリSiTFETと比較した。典型的な特性を表6-2にまとめた。おそらく小粒径のために、導出した電界効果電子移動度の値はそれほど大きくはないが、移動度の温度依存性はかなり小さかった。(図6-8) J. Y. W. Seto<sup>1-7)</sup>による熱電子放出理論によれば、この場合の活性化エネルギー0.01 eVは、粒界トラップ準位密度が熱酸化により作製したTFET (図5-15参照) よりも小さいことを表している。この効果は20 nsという高温超短時間アニールにより、粒界における欠陥が減少したためと考えられる。

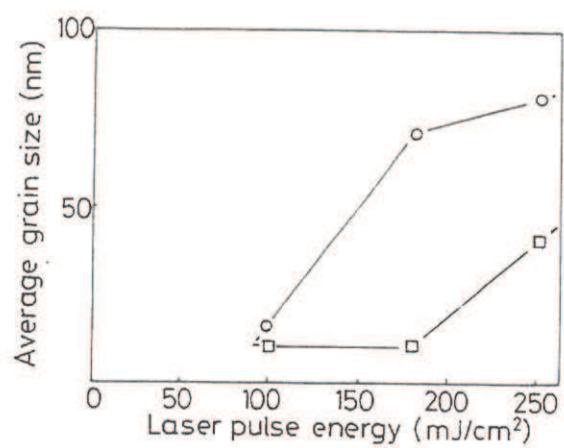
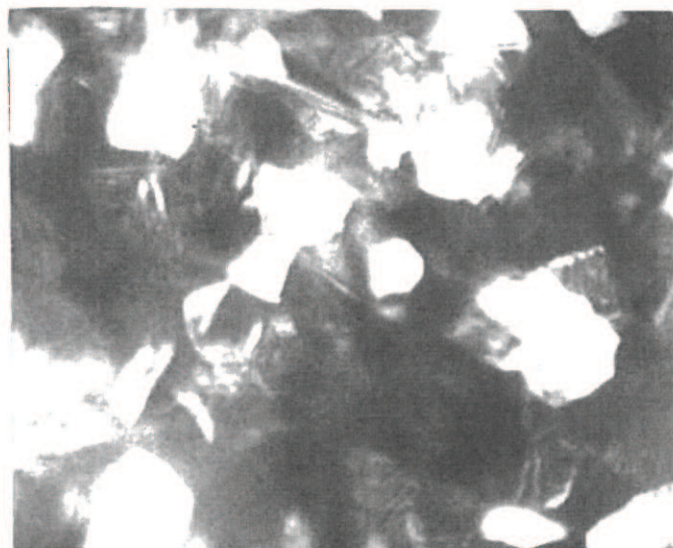


図6-5 TEM観察による平均粒径(□:表面入射、○:裏面入射)。

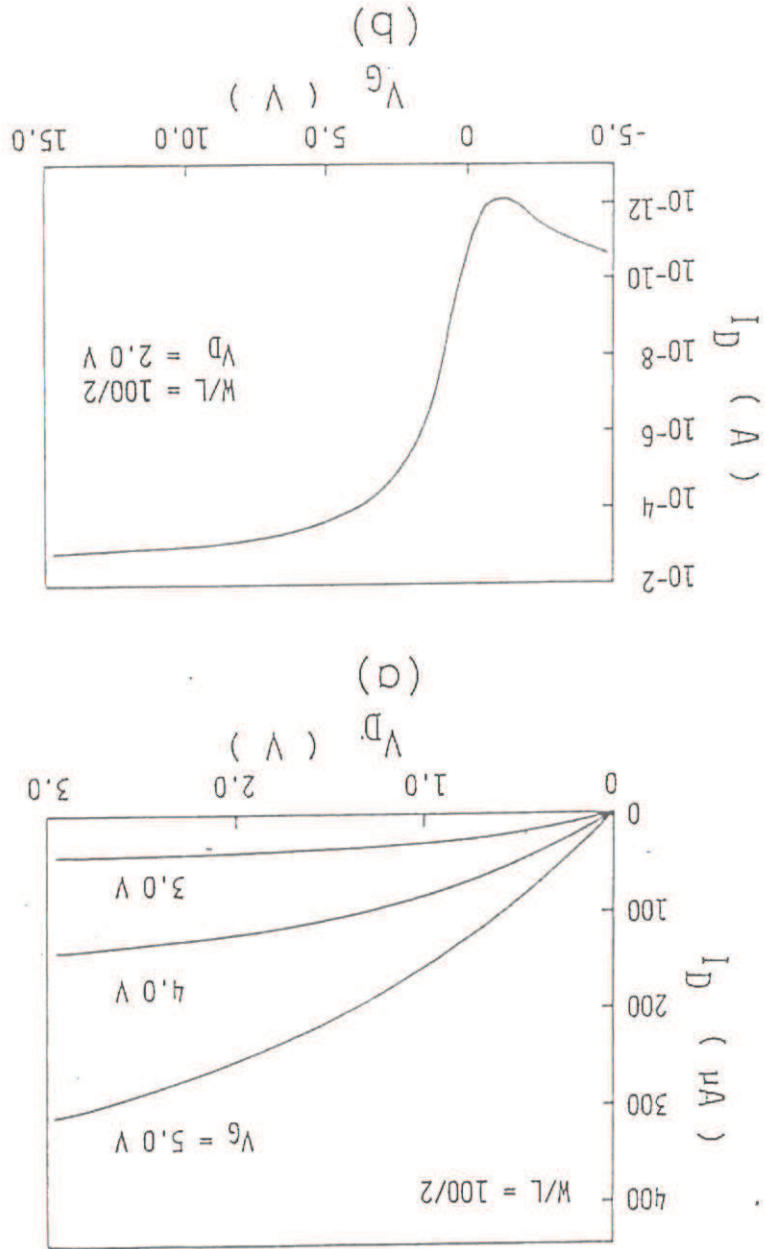


50 nm

図6-6 レーザー照射後のTEM写真(石英裏面より照射)。



図6-7 レーザーアニールTFETの特性、(a)  $V_d - I_d$  特性、  
(b)  $V_g - I_d$  特性。



### 6-2-3 結論

$\text{Si}^+$  イオン注入によりアモルファス化した $\text{Si}$ 膜に対し、UV光であるエキシマレーザーパルス照射し、そのふるまいを調べた。低エネルギー領域では粒径はパルスエネルギーだけでなく $\text{Si}^+$  ドーズにも依存した。 $250\text{ mJ cm}^{-2}$ の照射エネルギーのとき、平均粒径は $800\text{ \AA}$ であった。入射は、表面よりも石英裏面からの方がエネルギー効率がよかった。 $\text{TFT}$ を低温プロセスで作製し、低リーク、鋭い反転を示す高性能な特性が得られた。

表6-2 低温プロセスにより作製した $\text{TFT}$ 特性の比較。

	Laser annealed		Solid phase grown
W/L ( $\mu\text{m}/\mu\text{m}$ )	100/10	100/2	100/10
Gate oxide (nm)	50	50	100
Si thickness (nm)	50	50	50
$V_{\text{th}}$ (V)	3	2	10
S (mV/dec.)	330	240	1310
$I_{\text{off}}$ (pA)	( $V_d=8\text{ V}$ ) 4	( $V_d=2\text{ V}$ ) 1	( $V_d=8\text{ V}$ ) 30
$\log(I_{\text{on}}/I_{\text{pff}})$	( $V_d=4\text{ V}$ ) 8.5	( $V_d=2\text{ V}$ ) 9	( $V_d=4\text{ V}$ ) 7
$\mu$ ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	30	23	32.5

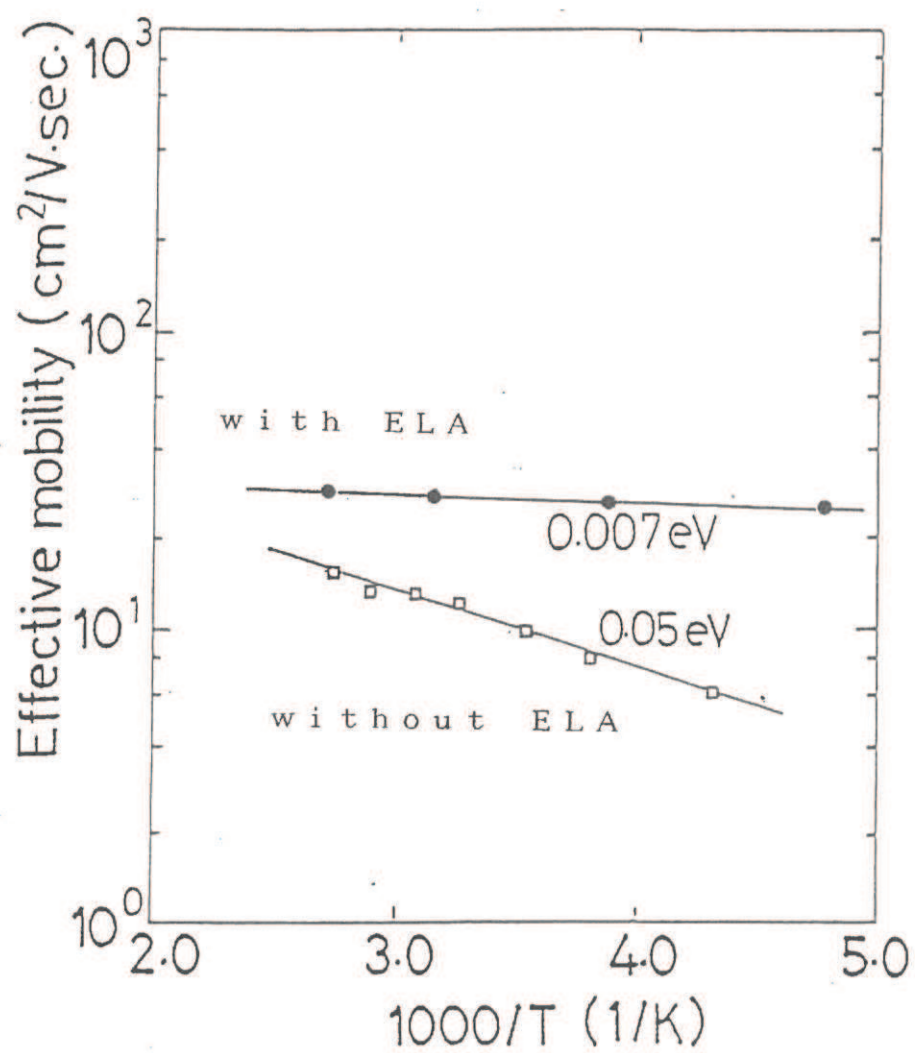


図6-8 アモルファスSiへのELAにより作製したTFTの電子移動度の温度依存性。



### 6-3 樹枝状大粒径ポリSiに対する非溶融ELA<sup>6-7)</sup>

6-2で述べたアモルファスSiに対するELAでは、溶融するためか、平坦性が若干低下し、また、粒径が制限されるためか移動度はそれほど大きくない。一方、 $\text{Si}^+$ イオン注入によりアモルファス化した膜を、600℃前後の低温長時間熱処理を施すことで、平坦かつ1 $\mu\text{m}$ 前後の樹枝状の大粒径ポリSiが得られることは、第5章で述べてきた。近年、この低温固相成長法によるTFITへの応用研究が活発化している<sup>6-8、6-9、6-10)</sup>。

しかし、5-1で述べたように、600℃の低温熱処理では、その樹枝状結晶内、もしくは粒界に多くのトラップ準位密度が存在し、高性能のポリSiデバイスを得るには水素化処理だけでなく、その後の高温熱処理が必要となる<sup>5-6、6-11)</sup>。高温熱処理を行う場合は、下地LSI上、または低融点ガラス上のLSI形成が困難もしくは不可能となってしまう。これに対して、エキシマレーザーは、UV光でかつパルスのため、下地への影響がなく、Si薄膜層のみを高温処理できる性質を持つ<sup>6-12、6-13)</sup>。そこで、制御されたエネルギー密度のビームを、一旦低温で形成した樹枝状ポリSi膜に対して照射し、その特性の変化を調べた。

#### 6-3-1 実験方法

##### 6-3-1-(1) 試料作製

800Å厚のポリSi膜を、減圧CVD法により石英基板上に堆積させた。この後、Si薄膜は、 $1.5 \times 10^{15} \text{cm}^{-2}$ のドーズ、40keVの加速エネルギーの $\text{Si}^+$ イオンまたは $\text{P}^+$ イオン注入によりアモルファス化された。続いて、全ての膜は、電気炉中で600℃、60時間アニールされた。その後、汚染防止と反射防止の目的で、約500Å厚のCVD- $\text{SiO}_2$ 膜を覆った。 $\text{SiO}_2$ 膜厚が500Åのとき、308nmにおける $\text{SiO}_2/\text{Si}$ 上の反射率は最小になる。これらの膜に対して、制御されたエネルギー密度で、約20ns秒のパルス幅をもつシングルパルスのXeClエキシマレーザー( $\lambda=308\text{nm}$ )を照射した。光エネルギー密度は、光学的なビームホモジナイザーを用いて、約7mm $\square$ の空間的に均一なビームに制御されている。パルスエネルギー密度は、約270mJ $\text{cm}^{-2}$ である。レーザーアニール系を図6-9に示す。

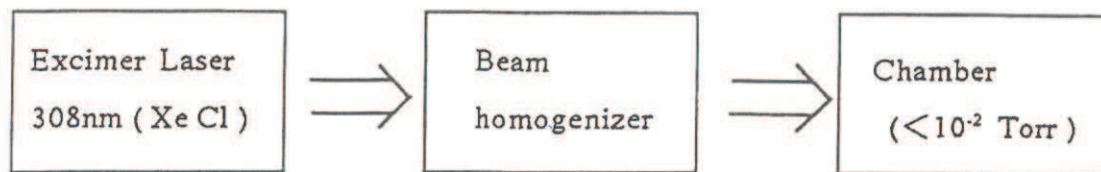


図6-9 レーザーアニール実験系 (UVP-3 (XMR Corp.))。

### 6-3-1-(2) 測定および解析

まず、結晶化の様子をUV反射法により調べた。UV域の反射ピーク面積より結晶性が評価できるが、また反射率の測定より、同時に平坦性も評価できる。反射率のベース値と表面荒さ $\sigma$ とは、第5章でも述べた式(5-5)で関係する<sup>5-9)</sup>。ポリSi膜中の結晶性や欠陥を更に定量的に評価するために、膜中のダングリングボンドを数えるのに最適なESR法が適当と考え、これを用いた。一方、レーザーアニール前後の結晶粒の様子を比較、解析するためにTEM観察を行った。電気的評価としては、 $P^+$ イオン注入膜にたいしては4端針法によるシート抵抗測定を行った。Si<sup>+</sup>イオン注入膜に対しては、6-2と同様に低温プロセスによりn型のTFTを作製した。レーザーアニール後、Si膜厚をエッチングにより約500Åとした。ゲートSiO<sub>2</sub>膜厚は500Åで、チャンネル長と幅は各々、10、100μmである。レーザーアニール前後のTFT特性より、移動度、しきい値、ゲート電圧スイング等を評価した。

### 6-3-2 結果および検討

各々の試料に対するUV反射測定から求めた結晶化度、シート抵抗、スピン密度等を表6-3に示す。 $P^+$ 、Si<sup>+</sup>両イオン注入膜に対して、600℃アニール後の状態に比べレーザー照射後、または1000℃ポストアニール後、UV反射ピークは急激に増大している。これは、UV反射率より求める結晶化度に影響する結晶性の改善、または600℃アニール後のそれ以上の粒径成長が生じていると考えられる。レーザーアニール後、200nmにおける

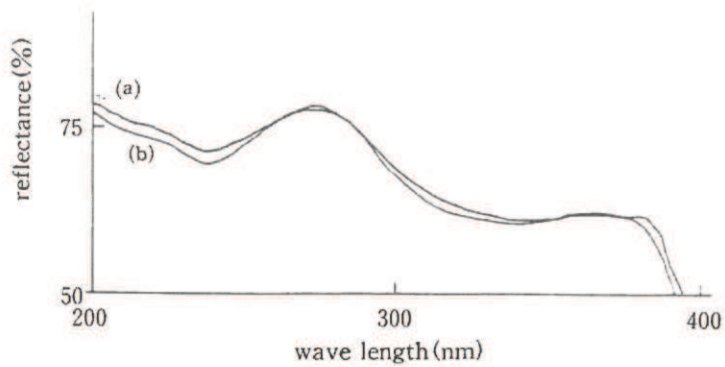


図6-10 レーザーアニール前後のUV反射スペクトル、(a)照射前、(b)照射後  
(パルスエネルギー密度：260 mJ cm<sup>-2</sup>)。

表6-3-(1) Si<sup>+</sup> イオン注入膜に対して得られた結果。

annealed conditions	$\mu$ (cm <sup>2</sup> /V·s)	degree of crystallization(%) (100% for c-Si)	reflectance (%) (at 200nm)	ESR density (cm <sup>-3</sup> )
600°C (60h)	~47	73.8	80.7	$1.3 \times 10^{18}$
" + 260 (mJ/cm <sup>2</sup> )	~82	85.7	79.7	$3.3 \times 10^{18}$
" + 280 (mJ/cm <sup>2</sup> )		86.2	77.0	$3.2 \times 10^{18}$
" + 1000°C	~90	83.3	81.0	$6.2 \times 10^{17}$

表6-3-(2) P<sup>+</sup> イオン注入膜に対して得られた結果。

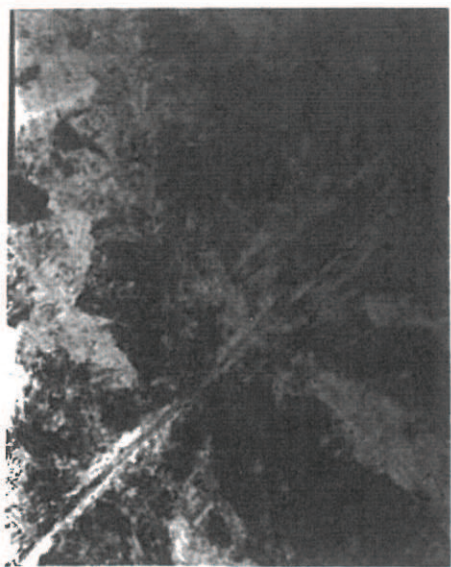
annealed conditions	$\rho_s$ ( $\Omega/\square$ )	degree of crystallization(%) (100% for c-Si)	reflectance (%) (at 200nm)	ESR density (cm <sup>-3</sup> )
600°C (60h)	212	82.1	79.2	$9.6 \times 10^{17}$
" + 260 (mJ/cm <sup>2</sup> )	161	85.7	77.8	$4.7 \times 10^{17}$
" + 280 (mJ/cm <sup>2</sup> )	163	85.7	76.7	$1.7 \times 10^{17}$
" + 1000°C	155	88.6	77.5	$4.7 \times 10^{17}$



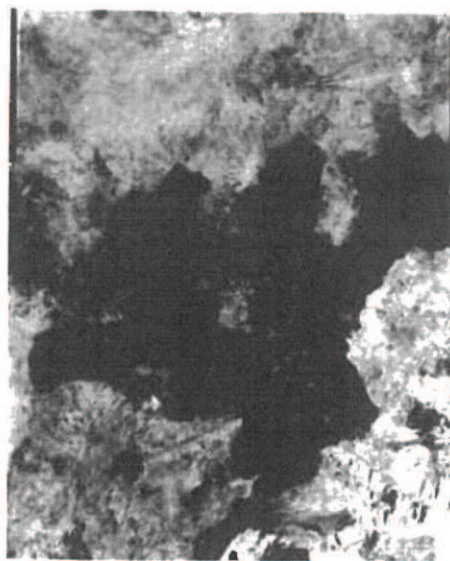
反射率は、1000℃でアニールした薄膜の反射率に比べやや低いけれども、両者はかなり高い値を維持している。すなわち、レーザーアニール後の膜の平坦性はかなり良いものと期待される。これに対応して、P<sup>+</sup> イオン注入膜に対するレーザーアニール後のシート抵抗は、高温炉アニール膜の場合と同様に急激に減少した。一般に、ポリSiの抵抗率ρは次式で与えられる。

$$\rho^{-1} \propto nL \cdot \exp(-qV_B / kT) \quad (6-1)$$

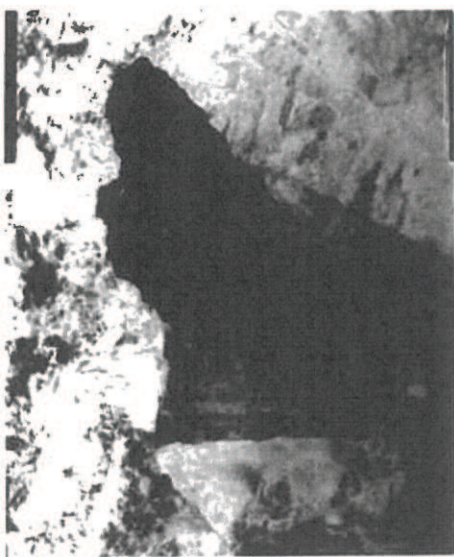
この式によれば、上で述べた高温やレーザーアニール効果は、キャリア密度(n)の増加、粒径(L)の増加もしくは粒界バリアハイト(qV<sub>B</sub>)の低下によるものと考えられる。キャリア密度の増加は、結晶粒内の燐の活性化率の増加により、またバリアハイトの低下は、粒界トラップ密度の減少に関係する。また両者は共に、欠陥密度を反映するESR中心密度に関係する。このESR測定では、P<sup>+</sup> イオン注入膜中のスピン密度はELA後、また1000℃炉アニール後、減少した。おそらく、結晶粒または粒界におけるトラップ準位密度に関係する欠陥が、レーザーまたは高温アニールにより減少したのであろう。TEM観察によれば、600℃アニール後に一旦出現した結晶構造は、図6-11に示すように制御されたエネルギー密度のレーザーアニール後もくずれていなかった。この事実より、260mJcm<sup>-2</sup>というパルスエネルギー密度でもSi膜自体は融けておらず、約1415℃であるSiの融点までは昇温していないと考えられる。また、各々のアニールされた膜に対する得られた粒径と結晶構造は、Si<sup>+</sup> イオンとP<sup>+</sup> イオン注入の場合とで異なっていた。Si<sup>+</sup> イオン注入膜の場合に対しては、粒径はP<sup>+</sup> イオンの場合に比べてやや小さく、結晶構造はより樹枝状であった。一方、P<sup>+</sup> イオン注入膜の場合に対しては、木の葉状の構造で粒径はより大きかった。これらの結果は、二つの膜の結晶成長率の違いに基づくものと考えられる<sup>6-14)</sup>。レーザー照射後または1000℃アニール後、P<sup>+</sup> イオンの場合のみ、UV反射ピークの増加に対応してスピン密度は減少した。Si<sup>+</sup> イオンの場合、UV反射ピークとスピン密度とが対応しない理由については未だ明らかにできていない。おそらく、Si<sup>+</sup> イオン注入の場合のみ、UV反射ピークやTFT特性に反映しないような異なった型の微細な欠陥が、レーザー照射後Si膜中に生じるのではなからうかと推定している。図6-12に示すように、移動度や弱反転特性等のTFT特性は、おそらくSi膜中の結晶性の改善により著しく改善されている。



(a)  $\text{Si}^+$  (ELA前)



(b)  $\text{Si}^+$  (ELA後)



(c)  $\text{P}^+$  (ELA前)



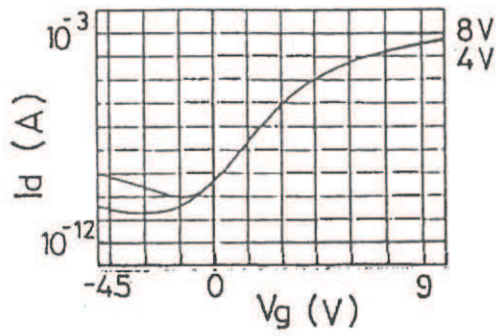
(d)  $\text{P}^+$  (ELA後)

200nm

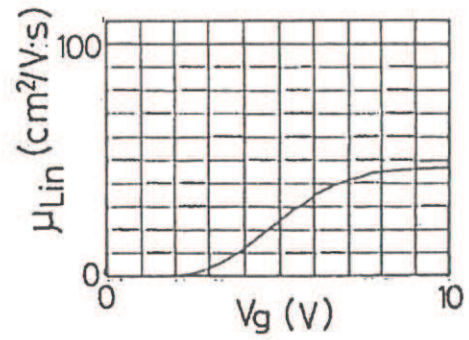
図6-11 レーザーアニール前後のTEM像。

(パルスエネルギー密度： $\sim 260 \text{ mJ/cm}^2$ )

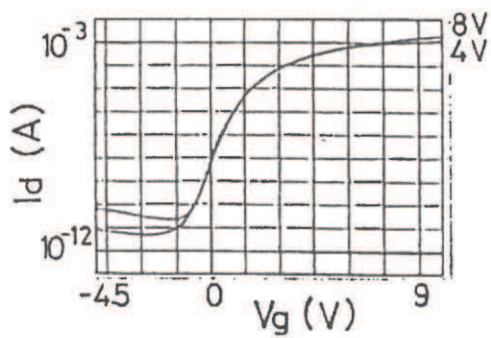




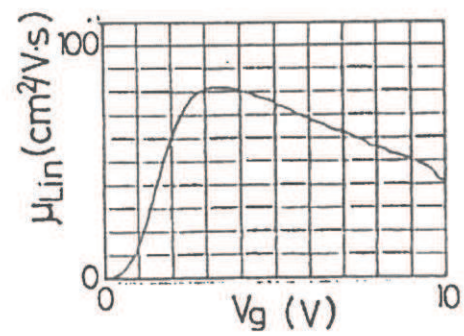
(a)  $V_g - I_d$  特性 (ELA前)



(b) 電界効果移動度 (ELA前)



(c)  $V_g - I_d$  特性 (ELA後)



(d) 電界効果移動度 (ELA後)

図6-12 レーザーアニール前 ((a)、(b)) と後 ((c)、(d)) のTFT特性。



### 6-3-3 結論

$\text{Si}^+$  または  $\text{P}^+$  イオンを  $\text{Si}$  膜中に注入し、 $600^\circ\text{C}$  の低温で多結晶化した。続いて、制御されたエネルギー密度をもつエキシマレーザーパルスで膜を照射した。その結果、 $\text{Si}$  膜は完全には融けなかったが、移動度や導電率のような電気的特性は、照射後著しく改善された。この効果は、UVパルス照射による結晶粒内もしくは粒界における結晶性の改善によるものと考えられる。この優れた高温短時間熱処理としてのELAは、配線、積層SRAMおよび低融点ガラス上につくるモノリシクなLCDやコンタクト型ラインセンサーに用いるTFT応用として、超LSIプロセスに適合すると確信する。

#### 6-4 粒径制御と微小粒径TFT

SRAMの高集積化とともにメモリーのセル部（フリップフロップ）は三次元化即ち、スタック型に移行している。このインバーターとして現在、ポリSi高抵抗負荷型が主流<sup>6-15)</sup>であるが、4Mbit以降ではリーク電流の低減、データ保持マージンの確保、また耐 $\alpha$ 線対策としてより有利なp型のポリSi TFT積層型CMOSセルの検討が盛んになってきた<sup>6-16)</sup>（図6-13）。この場合、第5章5-2または第6章6-3で述べた $1\mu\text{m}$ 前後の大粒径のp型ポリSi TFTを使えば良好な特性は得られる<sup>6-17)</sup>。しかし、高集積のTFT寸法は通常チャンネル長が $1\mu\text{m}$ 以下になるため、特性の不均一性が問題になる<sup>6-18)</sup>。よって、特性均一化の要求より粒径をチャンネル寸法より小さくすることが求められる。そこで、第4章で述べたように、Si<sup>+</sup>イオンドーズを選ぶことにより、チャンネル長より小さい所望の粒径を持ち、かつ平坦な膜を、固相アニール後得ることができる。しかし、第2章2-1-3でも述べたように、一般に小粒径では高移動度を得ることは困難である。また $600^\circ\text{C}$ アニールでは、膜中に多くのダングリングボンドを含み、鋭い反転特性を得られない。一方、アニール温度が高い程、ポリSiのトラップ密度は低減することが知られている。Siの融点はアモルファスとクリスタルで $200\sim 300^\circ\text{C}$ 位の差があることが分かっている<sup>6-19)</sup>。そこで小粒径Si膜の欠陥領域のみがエキシマレーザーにより熔融できれば、平坦でかつ高性能な小粒径Si膜が得られ、微細寸法の超LSIにも適用できると考え、 $1\mu\text{m}$ 長でp型のTFTを作製し、評価した。

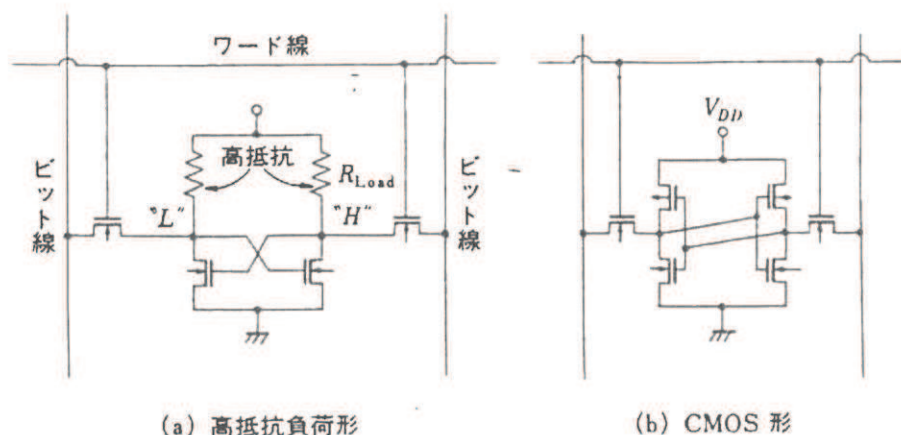


図6-13 メモリーセル部。

#### 6-4-1 実験方法

Siウエハ上にCVD-SiO<sub>2</sub>を5000Å堆積し、この上に減圧CVD法により、Si薄膜を400Å厚に堆積した。上記の膜に対し、Si<sup>+</sup>イオンドーズを変えて注入した。(1×10<sup>14</sup>、5×10<sup>14</sup>、1×10<sup>15</sup>cm<sup>-2</sup>; 20keV)この後、600℃のN<sub>2</sub>ガス中で40時間の固相成長を行い、微小粒径から大粒径までの平坦なポリSi膜を形成した。これらの膜に対し、反射防止および汚染防止の目的で、500Å厚のCVD-SiO<sub>2</sub>膜を覆った。この後、光学的なホモジナイザーにより、均一なエネルギー密度に制御されたエキシマレーザー光を照射した。パルスエネルギー密度は、207~245mJcm<sup>-2</sup>で変化した。照射後、表面のSiO<sub>2</sub>膜をはがし、表面状態、結晶粒の変化をUV反射特性、TEM観察により評価した。

特に、微小粒径に制御した膜に対し、レーザー照射の効果を調べるために、TFTを作製した。全ドライプロセスで行い、各パルスエネルギー密度に対して作製した。ソース、ドレインのアニールは低抵抗に有利な様に、(Si<sup>+</sup>+B<sup>+</sup>)イオン注入を行った後、600℃のアニールを行った。(第7章で後述する。)また、ゲート酸化膜厚は300Åとした。

#### 6-4-2 実験結果および検討

UV反射の結果を図6-14に示す。図より、パルスエネルギー密度が増加すると結晶性が向上していることが推測でき、その効果は、低いSi<sup>+</sup>イオンドーズ程著しい。一方、200nmにおける反射率は、まえに述べたように膜の平坦性を反映する。図6-15より、Si<sup>+</sup>イオンドーズが5×10<sup>14</sup>、1×10<sup>15</sup>cm<sup>-2</sup>では、約240mJcm<sup>-2</sup>位までは非常に高い反射率を示しており、平坦性がよく、よって膜全体は溶融してはいないと予測できる。1×10<sup>14</sup>cm<sup>-2</sup>のドーズの場合のみ、240mJcm<sup>-2</sup>以上で低下し始めている。しかし、まだ60%以上の反射率であることより、平坦性はある程度維持されており、膜中の一部が溶融し始めていると推測している。これ以上のエネルギーでは、平坦性の低下のためデバイスには不適である。

TEM観察の結果を、図6-16に示す。約220mJcm<sup>-2</sup>のパルスエネルギー密度に対して行ったが、アニール前後で大きな変化はみられない。まず高ドーズの樹枝状大粒径の場合は、第5章でも述べたように粒内の微小欠陥が多い。しかし、図6-14の反射ピークの増大より、結晶性は大きく向上していると考えられる。低Si<sup>+</sup>ドーズ(~1×10<sup>14</sup>cm<sup>-2</sup>)の



場合、米粒状で結晶粒内の欠陥は少ない。低ドーズの場合、レーザー照射後の粒径はわずかに大きくなっていることより、粒界が著しく改善されていると推測される。このように、 $\text{Si}^+$  イオンドーズをかえることによってつくられる大粒径から小粒径までのポリSi膜に対して、ELAは、膜質の向上において有効であると期待できる。デバイス特性の均一性の観点より、ガラス上大面積LSI（LCD、ラインセンサー等）への応用では大粒径ポリSi（高 $\text{Si}^+$ ドーズ）が、また一方、超LSI微細TFT（スタックSRAM）には小粒径ポリSi（低 $\text{Si}^+$ ドーズ）が有効であろうと考えている。

単一のレーザーパルスを約 $245\text{mJcm}^{-2}$ 以下のエネルギーで照射し、 $1\times 10^{14}\text{cm}^{-2}$ の $\text{Si}^+$ イオンドーズに対して試作したTFT（ $W/L=10/1\ (\mu\text{m}/\mu\text{m})$ 、 $t_{\text{ox}}=300\text{\AA}$ ）の典型的な特性を図6-17に示す。低電圧駆動のスタックSRAM（16Mbitでは3.3Vとされている。）の動作で最も重要であるゲート電圧スイング（弱反転特性）は、約 $480\text{mVdec}^{-1}$ だったものが、レーザー照射後、照射エネルギー密度の増加とともに著しく改善されている。図6-18、表6-4より、 $230\text{mJcm}^{-2}$ 以上で、 $200\text{mVdec}^{-1}$ 以下に大きく改善されている。同時にキャリア（ホール）移動度も $10\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 以下だったものが、レーザー照射後、 $30\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 以上に増大している。 $\text{on/off}$ 比は、3.5桁から、7桁以上に向上している（ $V_{\text{d}}=3.3\text{V}$ ）。これらのELA後の著しい特性改善は、TEMおよびUV反射より考えると、米粒状粒界のトラップ密度が高温短時間（ $\sim 1415^\circ\text{C}$ 、 $\sim 20\text{ns}$ ）のELA後大きく低減されたと考えられる。式2-30より求めたトラップ密度を表6-4に示す。しかし、低消費電力を求められる高密度の汎用メモリー応用として重要なリーク電流に関しては、まだ不十分で更に低減したい。たとえば16MbitSRAMで、1セル当たり1pAとするとスタンバイ電流は $16\mu\text{A}$ になる。これを実現するには、更に超薄膜化（ $\sim 100\text{\AA}$ ）することと、オフセット構造でドレイン領域の電界を緩和すれば可能であると考えている。<sup>6-20)</sup>

#### 6-4-3 結論

$\text{Si}^+$ イオン注入により微小粒状ポリSi薄膜を形成し、これにELAを施し大粒径薄膜に対する効果との比較をTEM観察およびUV反射により行った。微小粒径に対してELAを行うと、主に米粒状粒界の状況が改善されることが分かった。この膜に対し、チャネル長 $1\mu\text{m}$ のp型TFTを作製し、特性を調べた。この結果、ゲート電圧スイング（S）とホール移動度（ $\mu_{\text{h}}$ ）の著しい改善、向上ができ、スタックSRAMなどの応用に有効なことを確認した。

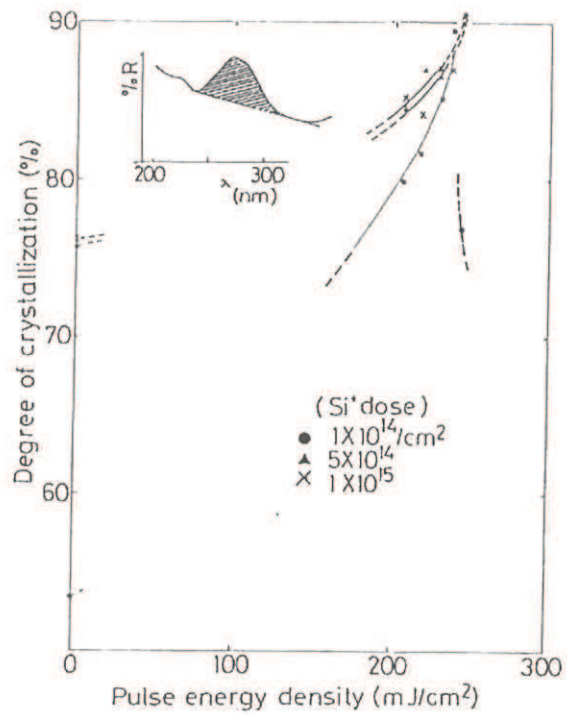


図6-14 パルスエネルギー密度に対する結晶化度。

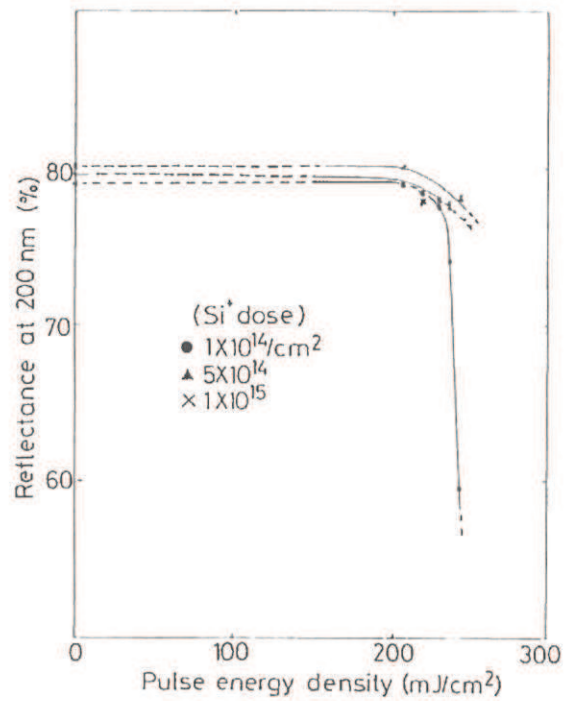
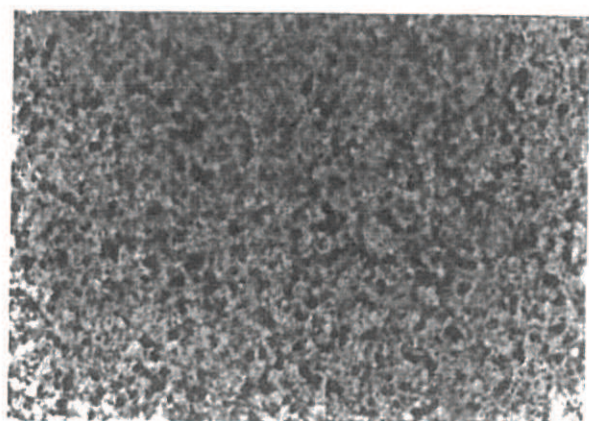
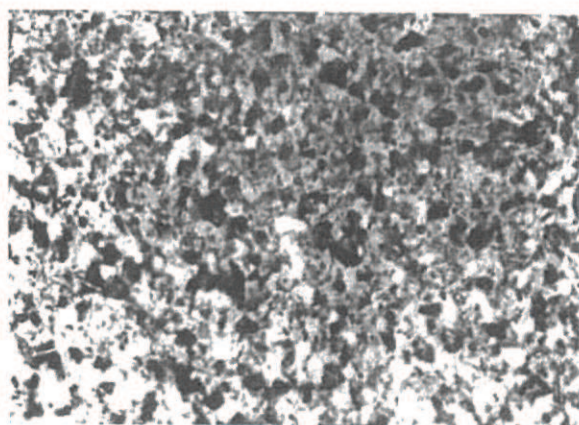


図6-15 パルスエネルギー密度に対する反射率。(200 nm)



(a) ELA前

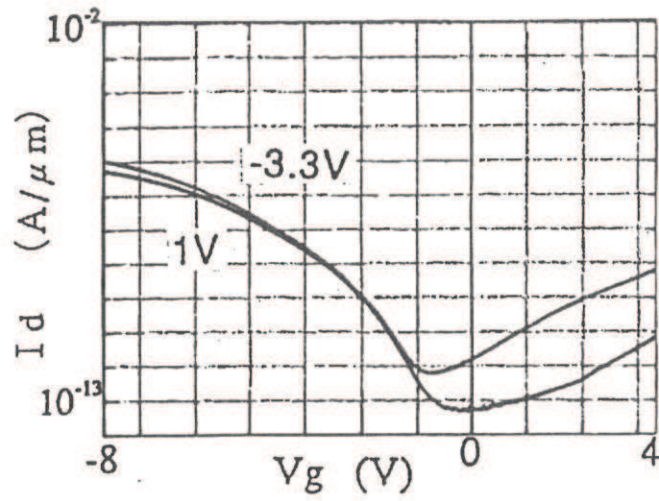
—  
0.1  $\mu\text{m}$



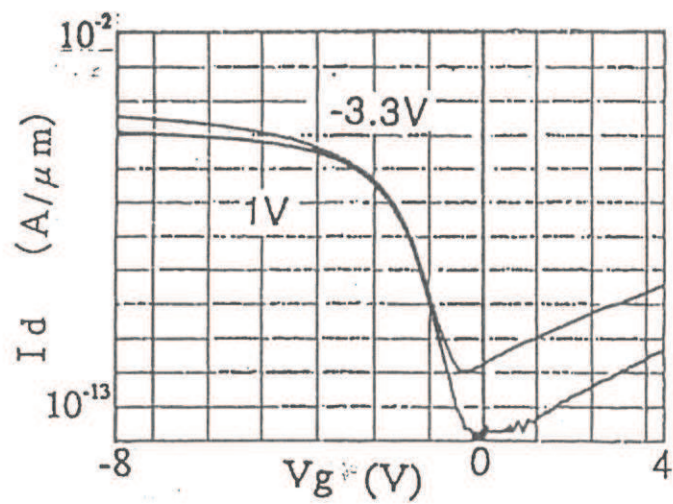
(b) ELA後 (220  $\text{mJ cm}^{-2}$ )

図6-16 ELA前後のTEM像。





(a) ELA無しの場合の $V_g - \log I_d$  特性



(b) ELA有りの場合の $V_g - \log I_d$  特性

図6-17 ELAの有無に対するTFT基本特性。

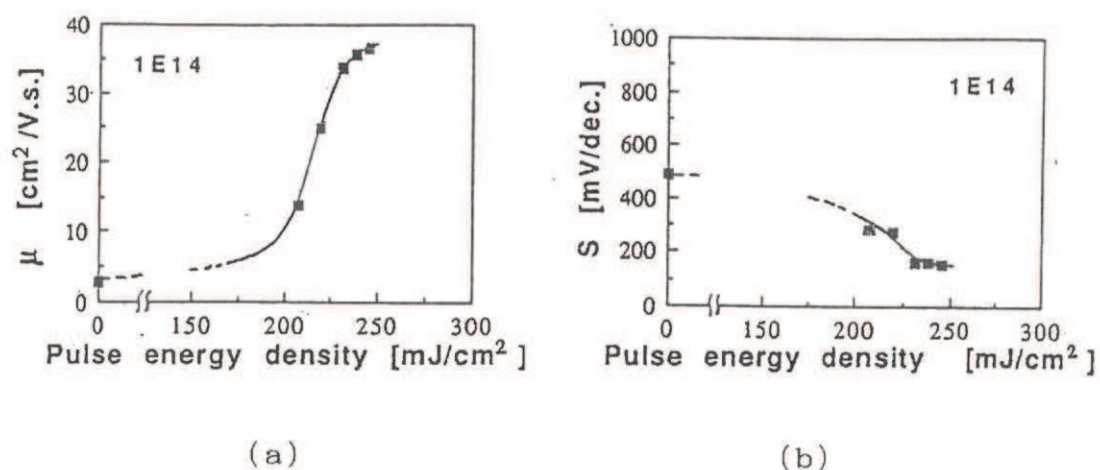


図6-18 パルスエネルギー密度に対する電界効果ホール（正孔）移動度（a）とゲート電圧スイング（b）。

表6-4 ELA前後のTFT特性の変化。

	0 $\text{mJ}/\text{cm}^2$ (Without ELA)	219 $\text{mJ}/\text{cm}^2$ (With ELA)	238 $\text{mJ}/\text{cm}^2$ (With ELA)
$\mu$ ( $\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ )	3	30	36
$S$ ( $\text{mV dec}^{-1}$ )	484	250	160
$N_T$ ( $\text{cm}^{-3} \text{ eV}^{-1}$ )	$1.3 \times 10^{18}$	$3.1 \times 10^{17}$	$1.3 \times 10^{17}$
on/off ratio	6.0	7.6	7.7

## 第7章 TFTのソース、ドレイン電極

### としての低抵抗ポリSi薄膜

今まで、おもに活性層に対するポリSiの役割について述べてきた。通常、LSIにポリSi TFTが使われる場合、ポリSi薄膜がそのまま配線として用いられる。特に、高速LSIの場合、ポリSi膜厚が薄くなればなる程、その配線（シート）抵抗が問題になってくる。シリサイド配線を採用すれば、低抵抗化は有利になるが、プロセス上の複雑さ、困難のためか、現在適用されていない。いずれにしても、TFT接合部には必ずポリSiが必要となり、またより微細化すれば、活性層へ拡散の少ない低抵抗化アニール技術が求められる。この章では、各種イオン注入とその後のアニールが、ポリSi薄膜に与える効果について述べる。

#### 7-1 各イオン種のアニール特性

ポリSi膜の低抵抗化を行う場合、不純物の高い活性化率と粒径の増大化がもっとも重要になってくる。第4章で述べたSi<sup>+</sup>イオン注入によるアモルファス化と低温固相成長は、粒径の増大化にたいして有効な方法である。またその後の高温アニールによる結晶性の向上は不純物の活性化に有効ではないかと考え、各種イオンおよびその後のアニールの電気特性に与える効果を調べてみた。

##### 7-1-1 実験方法

石英基板上に、減圧CVD法（610℃）により、800Å厚のSi膜を堆積させた。この膜に対し、各イオンSi<sup>+</sup>、P<sup>+</sup>、As<sup>+</sup>、B<sup>+</sup>を $1.5 \times 10^{15} \text{ cm}^{-2}$ のドーズで注入した。（加速エネルギーはダメージ量のピーク（ $\sim 0.7 R_p$ ）がSi膜の厚み方向のほぼ中央になるよう各々、40、40、80、15 keVとした。）この後、600℃の電気炉中で2時間ステップで40時間までアニールを行い、高温アニールは、1000℃で10時間まで行った。また比較のために1000℃のみのアニールも行った。



評価法としては、まず4端針法によるシート抵抗の測定をおこない、結晶性および粒径の評価としてUV反射法、TEM観察を行った。

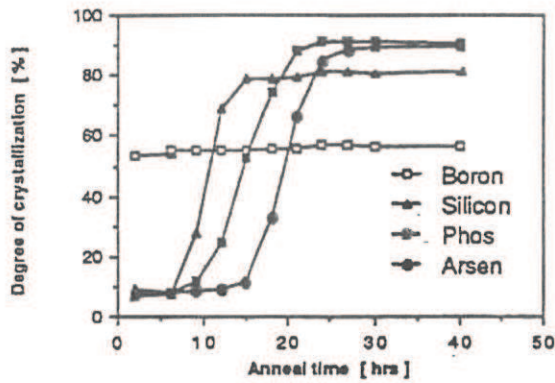
#### 7-1-2 結果および検討

図7-1に、UV反射より求めた、アニール時間に依存した結晶化の程度、およびシート抵抗を、各々のイオン種に対して示した。結晶化開始時間は、質量数が大きくなるほど遅くなり、イオン注入時のアモルファス化の程度、すなわちダメージ量に対応するような傾向がある。しかし、飽和した到達の結晶化度は質量数よりもむしろイオン種による差が現れており、粒径の加速成長があると報告されている<sup>7-1)</sup>  $P^+$  が最も大きな値を示し、 $As^+$ 、 $Si^+$ 、 $B^+$  と続いている。欠陥の状態も各々のイオンで異なるであろうが、粒径の大きさはこの順序になっているのであろうと推測される。シート抵抗値では、結晶化度が50%を越えると測定可能になり、また飽和した状態でも両者はよく対応している。すなわち、結晶化度（UV反射ピーク）が大きいほど、シート抵抗は低くなる傾向を示している。

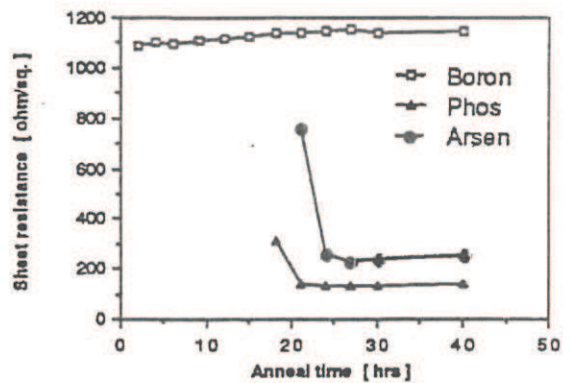
図7-2には、600℃アニール後に高温の1000℃アニールを施した状態の結晶化度とシート抵抗の結果を示す。図7-1に比べると、全体に、UV反射ピークは増大化しており、高温処理により結晶性が改善されていることが推測される。シート抵抗についても、高温アニールの効果が顕著に現れている。 $P^+$  の場合、 $140\Omega/\square$ から $97\Omega/\square$ までも低下している。

比較のために、600℃の低温アニールを施さず、直接1000℃アニールを行った場合の結果を図7-3に示す。UV反射ピークは、 $B^+$ を除いて600℃+1000℃アニールの方が大きく、またシート抵抗は、すべてのイオン種において600℃+1000℃アニールの方が低い。すなわち、はじめの600℃低温アニールで粒径を増大させることが、低抵抗化に有利になることになる。600℃後の高温アニールは、粒界および粒内の欠陥密度の低減などにより不純物の活性化が促進されているものと考えられる。

以上のことを確認するために、TEMにより結晶粒を観察した結果を図7-4～7-6に示す。ほぼUV反射ピークに対応し、表7-1に示すように粒径は $P^+ > As^+ > Si^+ > B^+$  順になっていた。 $B^+$  の場合のみ核が残っているせいか、アニール後も粒状の形で非常に小さい。

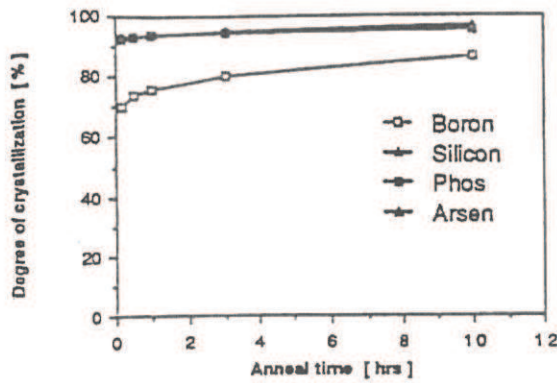


(a) 結晶化の割合

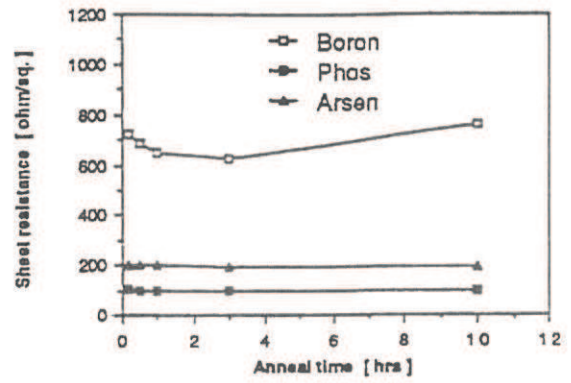


(b) シート抵抗

図7-1 アニール時間に依存した結晶化度 (a) とシート抵抗 (b)。

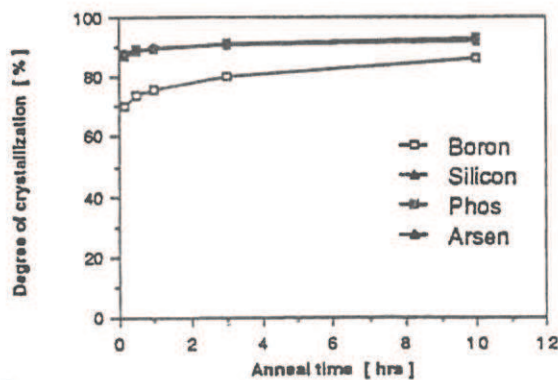


(a) 結晶化の割合

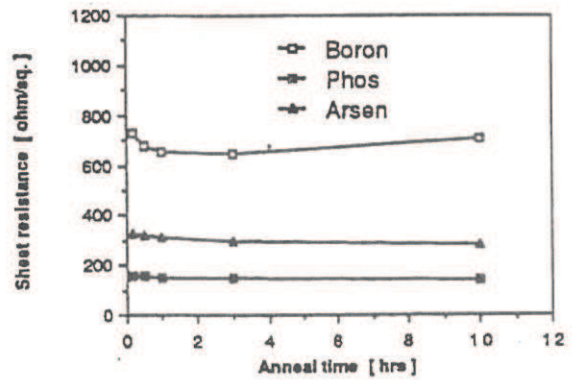


(b) シート抵抗

図7-2 1000℃アニール後の時間に依存した結晶化度 (a) とシート抵抗 (b)。



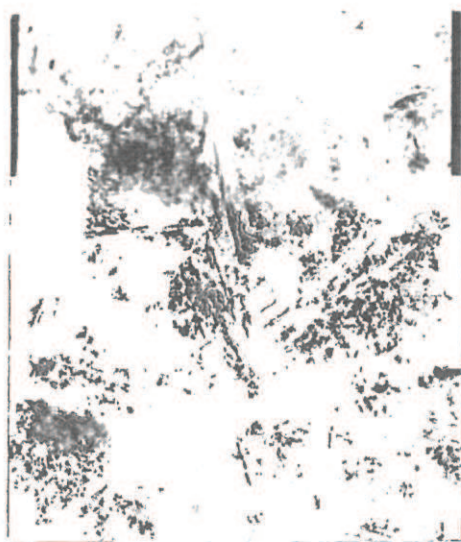
(a) 結晶化の割合



(b) シート抵抗

図7-3 直接1000℃アニール後の時間に依存した結晶化度 (a) とシート抵抗 (b)。





(a)  $\text{Si}^+$



(b)  $\text{P}^+$



(c)  $\text{As}^+$

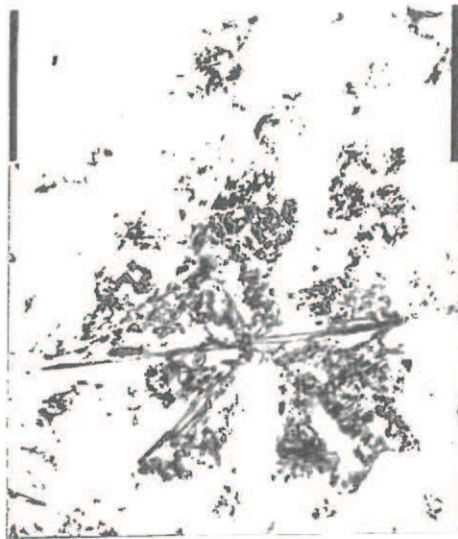


(d)  $\text{B}^+$

400nm

図7-4 600°C (40時間) アニール後のTEM像。





(a)  $\text{Si}^+$

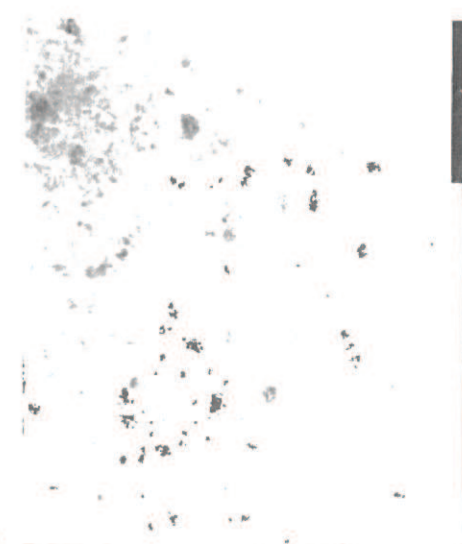


(b)  $\text{P}^+$



(c)  $\text{As}^+$

400nm



(d)  $\text{B}^+$

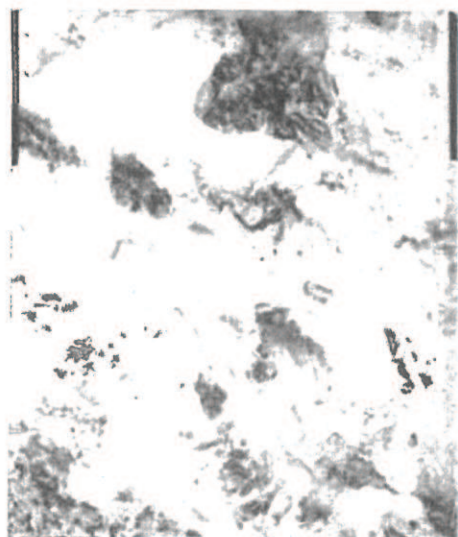
図7-5 600℃ (40時間) + 1000℃ (3時間) アニール後のTEM像。



(a)  $\text{Si}^+$



(b)  $\text{P}^+$



(c)  $\text{As}^+$

400nm

図7-6 直接1000℃(3時間)アニール後のTEM像。

表7-1 各イオン種に対する平均粒径。

イオン種	600℃ 40hr	1000℃ 3hr	600℃ 40hr + 1000℃ 3hr
B <sup>+</sup>	約 480 Å		約 650 Å
Si <sup>+</sup>	1.1 ~ 1.6 μm	約 1.1 μm	2.2 ~ 2.3 μm
P <sup>+</sup>	約 6.0 μm	約 1.2 μm	8.1 ~ 8.8 μm
As <sup>+</sup>	約 4.0 μm	約 1.0 μm	約 3.4 μm



## 7-2 p型ポリSi膜の低抵抗化

7-1で、シート抵抗の各イオン種に対するアニール効果を調べたが、粒径が小さいせい、 $B^+$  イオン注入の場合のみ高い抵抗値を示した。この理由として、 $B^+$  は質量数が小さいために、Si膜に与えるダメージが小さい、すなわちアモルファス化が十分ではないことによると考えられる。CMOSとしての、高速LSIまた3次元（スタック）SRAM<sup>7-21</sup>などの応用では、n型ポリSiと同様にp型ポリSi膜に対しても低抵抗化が望まれる。十分アモルファス化できれば、p型ポリSiにおいても大粒径化が可能になり、同時に、より低抵抗化も実現できるのではないかと期待し、 $Si^+ + B^+$  二重イオン注入を試み、その効果を評価、解析した。

### 7-2-1 実験方法

7-1と同様に、800Å厚の減圧CVDポリSi膜に対し、各イオン種を $1.5 \times 10^{15} \text{ cm}^{-2}$ のドーズで注入した。（ $B^+ : 15 \text{ keV}$ 、 $BF_2^+ : 75 \text{ keV}$ 、 $B^+ + Si^+ : 15 \text{ keV} + 40 \text{ keV}$ 、 $Si^+ : 40 \text{ keV}$ ）この後、600℃、600℃+1000℃、1000℃の各条件でアニールを行った。評価は、シート抵抗測定、UV反射測定、ESR、TEM観察で行った。

### 7-2-2 結果および検討

図7-7に600℃アニール後の結晶化度およびシート抵抗値の結果を示す。すべてのイオンに対して、6時間以内に結晶化が終わり、シート抵抗も一定の値に近づいている。 $B^+$  イオンの場合は、アニールに対しほとんど変化せず、低い結晶化度で $1 \text{ k}\Omega/\square$ と高いシート抵抗値を示している。一方、 $Si^+ + B^+$  の場合は、非常に高い結晶化度、低い抵抗値を示している。このことより、p型ポリSi薄膜の低抵抗化に $Si^+$  イオン注入によるアモルファス化が有効であることが分かった。 $BF_2^+$  の場合もかなり高い結晶化度で低いシート抵抗であるが、 $Si^+ + B^+$  の場合程でなく、かつ $BF_2^+ + Si^+$  の場合とほとんど差がないことより、F原子が注入された場合、結晶化になんらかの影響があるものと考えられる。 $BF_2^+$  イオンは浅い接合または超薄膜に対して有効であるが、 $Si^+ + B^+$  二重注入に比べ、20%以上高い抵抗になってしまう。

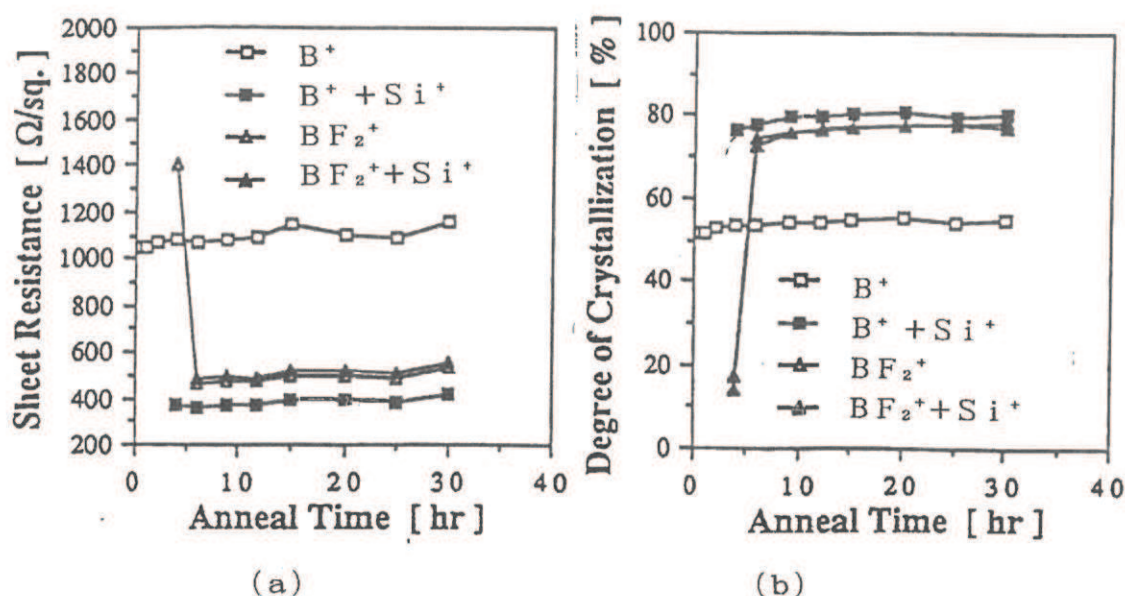


図7-7 600℃アニール後のシート抵抗 (a) および結晶化度 (b)。

一方、高温アニールのシート抵抗に与える効果を図7-8に示した。これより、 $B^+$  イオン注入については、核が残っているためかアニール条件の差は見られない。しかしながら、他のイオン種については、2ステップアニールの効果が現れている。1000℃のみのアニールに比べ、20%以上の低抵抗化が可能となり、 $B^+ + Si^+$  イオン二重注入で210.8  $\Omega/\square$ 、 $BF_2^+$  イオン注入で284.8  $\Omega/\square$  という低い値が得られた。また、これより、 $B^+ + Si^+$  イオン二重注入により、 $BF_2^+$  の場合に比べて約26%の低抵抗化が可能となり、p型ポリSiの低抵抗化にはより有利であることが分かった。図7-9には各イオンに対する結晶化度を示す。やはり、シート抵抗に対応し、 $B^+$  イオン以外では2ステップアニールの効果が現れている。しかし、 $BF_2^+$  と  $Si^+ + B^+$  の場合との差がほとんどなくなっている。しかし、シート抵抗に差がある理由として、F (フッ素) 原子が導電機構に影響を与えているのであろうと考えている。

電気特性 (シート抵抗) と結晶性の関係をより定量的に把握するために、Si膜中の欠陥密度をESR解析 (付録2) により行った。スピン密度および結晶化度の関係を図7-10に示す。 $B^+$ 、 $Si^+ + B^+$  注入両者共、600℃固相成長後の高温アニールにより、スピン密度は約1/3に激減している。結晶化度もこれに対応しており、高温アニールを施すことで粒界および粒内の微小欠陥、ダングリング密度が減少し、結晶性が改善されることが分かる。TEM観察によれば、図7-11に示すように $B^+$  の場合 (a) は7-1でも述べたようにひ



じょうに小さく、UV反射ピークともよく一致している。しかし、 $B^+ + Si^+$  の場合は、樹枝状の形状に成長し、粒径も  $2\mu m$  以上になっている。以上より、 $B^+ + Si^+$  注入での低抵抗化効果は粒径増大によることが分かった。結局、 $Si^+$  イオン注入により  $B^+$  注入でも粒径が大きくなることが分かった。第4章でも述べたように、 $Si^+$  イオン注入のみの場合、核発生時間は相当遅れる事実とあわせて考えると、B原子の固相結晶化に与える効果は、核発生時間を短縮させると同時に成長速度を早めているといえる。結果として、 $Si^+$  イオン注入と同様の樹枝状のより大きな結晶が成長するものと考えられる。

### 7-2-3 結論

$Si^+ + B^+$  イオン注入を行い、Si膜をアモルファス化し、低温固相成長することにより、大粒径の樹枝状結晶が得られ、低いシート抵抗が得られた。この後、高温アニールした結果、約  $210\Omega/\square$  まで抵抗をより低下できた。この低抵抗化は、ポリSiの結晶性の改善によることがESR解析、UV反射測定およびTEM観察より分かった。

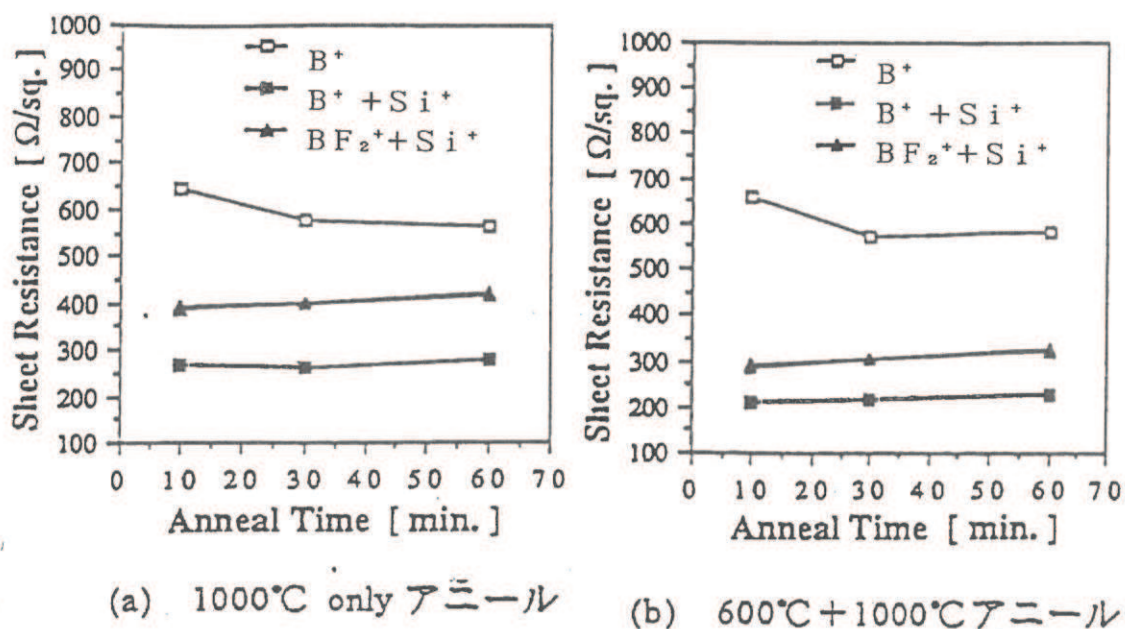
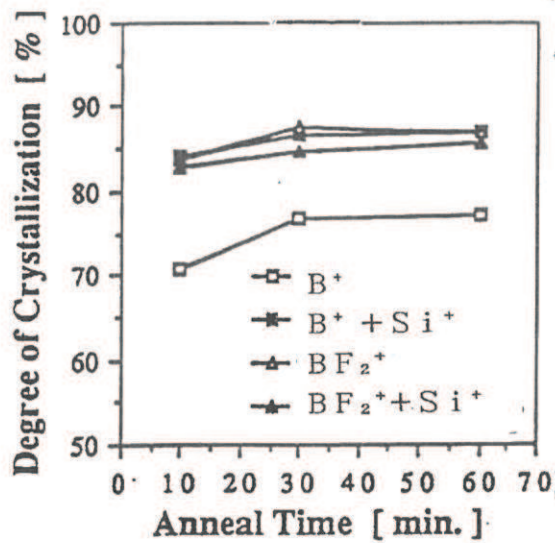
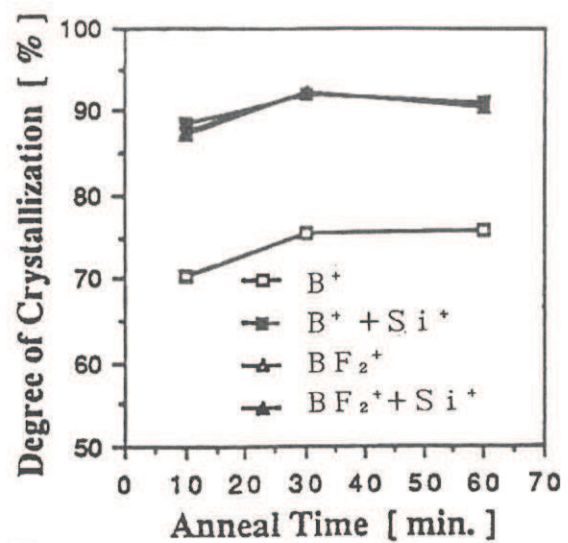


図7-8 高温アニールに対するシート抵抗。



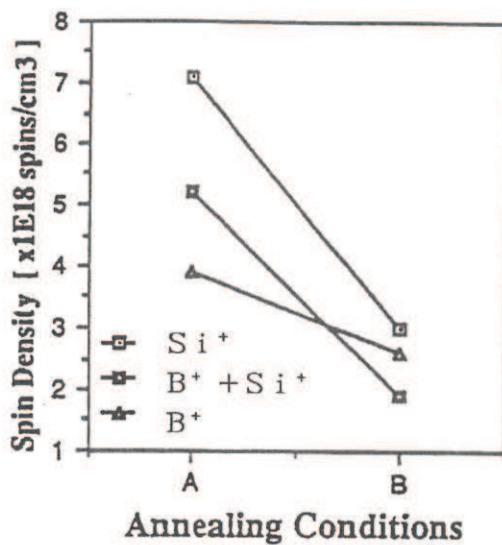


(a) 1000°Cアニール

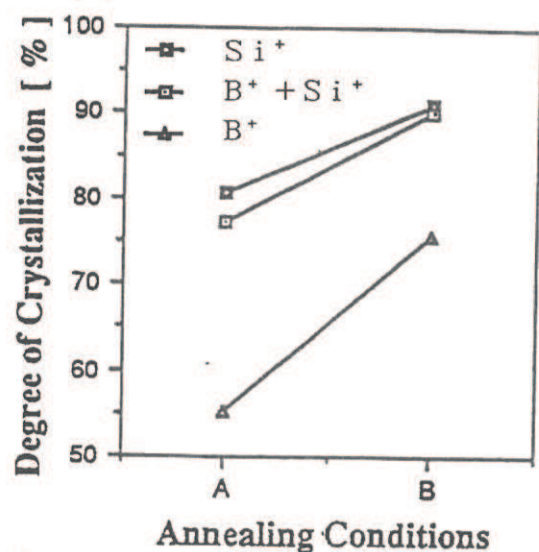


(b) 600°C + 1000°Cアニール

図7-9 高温アニールに対する結晶化度。



(a) スピン密度

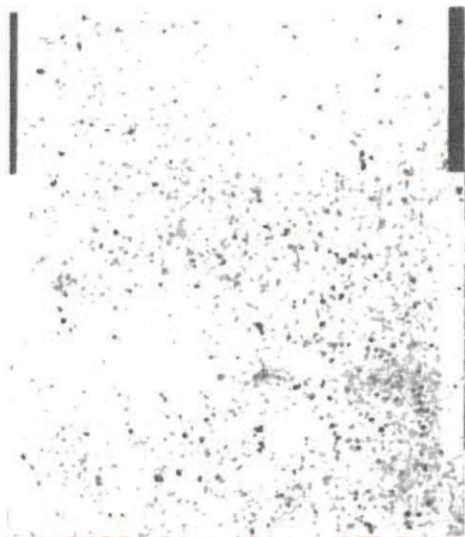


(b) 結晶化度

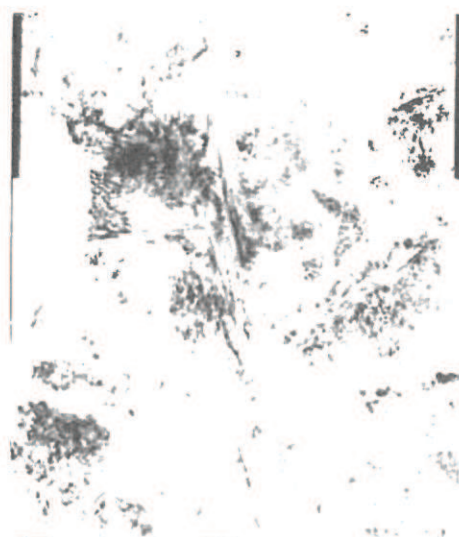
図7-10 アニール条件に依存したスピン密度および結晶化度。

\* A-Anneal : 600°C 30, 40 hrs N<sub>2</sub>

\* B-Anneal : 600°C 30, 40 hrs N<sub>2</sub> & 1000°C 1, 3 hrs N<sub>2</sub>



(a)  $B^+$



(b)  $Si^+$



(c)  $B^+ + Si^+$

400nm

図7-11 600℃アニール後のTEM像。

### 7-3 p型樹枝状ポリSi薄膜に対するRTA効果

p型ポリSi薄膜は、高密度SRAMやLCDなどのp型のTFT用電極に、またバイポーラトランジスタのベース取り出し電極などに使われるが、低抵抗化とともに微細化が求められる。特に微細なトランジスタ形成では、高温短時間熱処理であるRTA (Rapid thermal annealing) は、電気炉によるアニール (FA : Furnace Anneal) にくらべより有利になると考えられ、MOSFET (バルクSi) の浅い接合形成などに検討されている。7-2で述べたp型ポリSiに対するRTAの効果調べてみた。

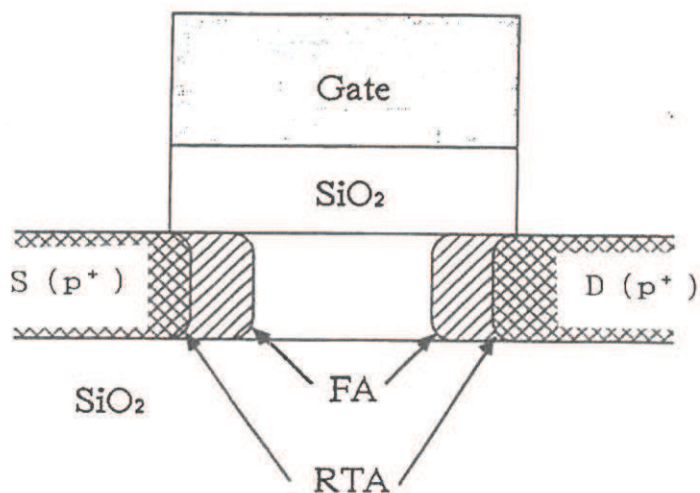


図7-12 RTAとFAのS/D横方向拡散による影響。

#### 7-3-1 実験方法

7-2と同様の800Å厚の減圧CVDポリSi膜に対し、 $\text{Si}^+$ イオンを $1.5 \times 10^{15} \text{ cm}^{-2}$  (40keV) 注入しアモルファス化した。つぎに、この膜に対して、 $\text{B}^+$ イオンを $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の範囲で注入した (15keV)。600℃の固相成長後、ハロゲンランプ炉中で温度を変化させアニールした (10秒)。1000℃の場合のみ、アニール時間を変化させた (10~300秒)。また比較の意味で、1000℃の電気炉アニール (FA) および $490 \text{ mJ cm}^{-2}$ のエキシマレーザーアニールを行った。

評価はシート抵抗およびUV反射測定を行った。



### 7-3-2 結果および検討

図7-13より明らかな様に、600℃固相成長後にRTAを施すことでもFAと同様に低抵抗化が可能ながことが分かる。しかも実験結果では、RTAの方がFAより約30%低抵抗化が可能であり有利なことになる。この理由としては、RTAによる急冷効果で、B原子の粒界、微小欠陥部などへの析出が抑えられているために、FAの場合より活性化率がよくなっていると考えている。B<sup>+</sup> イオンドーズ量を $2 \sim 5 \times 10^{15} \text{ cm}^{-2}$ に選ぶことにより最小シート抵抗を得ることができる。アニール温度に対しては、温度が高いほど低抵抗化の効果も顕著になり、1200℃、10秒のRTAにより約90Ω/□が可能となる。これは、より高温アニールを施すことで不純物の活性化、結晶性の向上および固溶限の増加がはかれるためと考えられる。

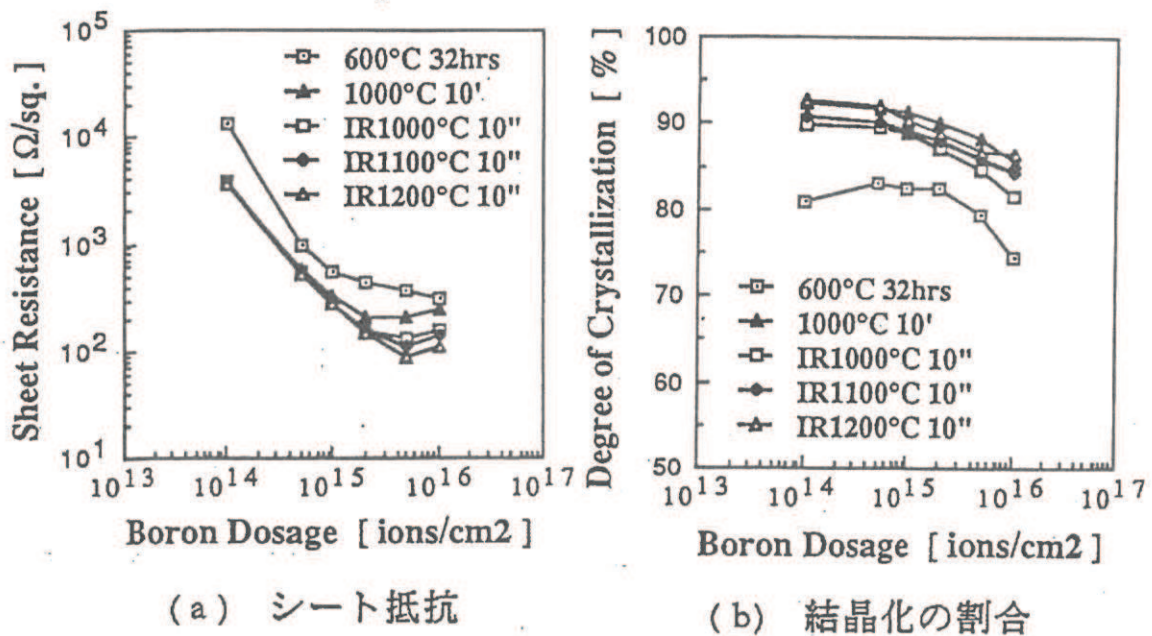


図7-13 ドーズ量に依存したシート抵抗および結晶化度の関係。

ここでBをドーブしたポリSi膜の従来の抵抗限界値は、1000℃において2000  $\mu\Omega$  cmが報告されている<sup>7-3)</sup>。(図7-14) 800 Å厚で換算すると約250  $\Omega$ /□になる。すなわち、今回のp型ポリSi膜の抵抗値は800 Åと非常に薄いにもかかわらず、従来の報告値をしのぐ値である。この大きな理由は、前述したようにイオン注入によるアモルファス化により大粒径の結晶粒が得られたことによる。そこで、RTA前後の結晶性の変化を調べるために行ったTEM観察像を図7-15に示す。これより、高温のRTAは微小欠陥の低減効果が非常に著しいことが分かった。

更に、比較として行ったELAによれば、より低いシート抵抗が得られた。拡散長とシート抵抗を考えると図7-16のようになり、より微細寸法には、より高温短時間アニールが重要で有利になって来ることが分かる。

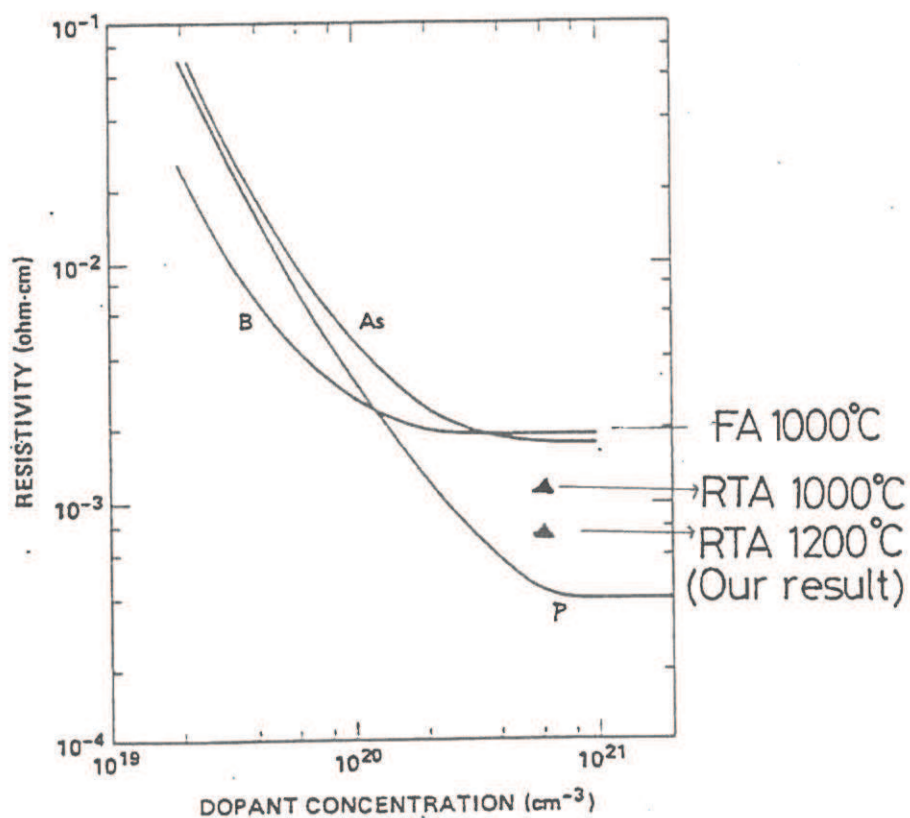
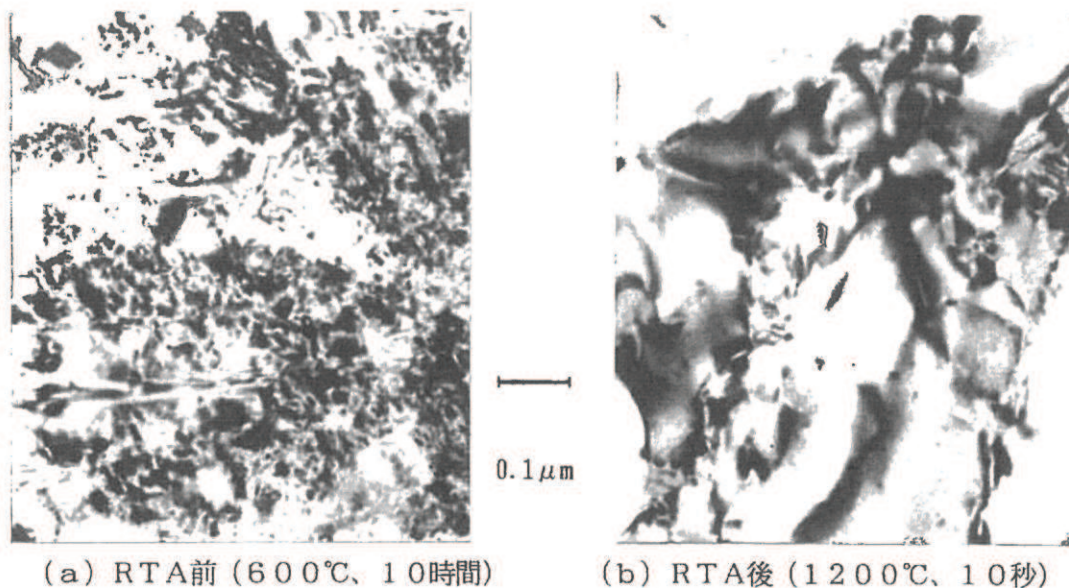


図7-14 ドーパント濃度と抵抗率の関係<sup>7-3)</sup>。



(a) RTA前 (600℃、10時間)

(b) RTA後 (1200℃、10秒)

図7-15 RTA前後のTEM像。

( $\text{Si}^+$  ;  $1.5 \times 10^{15}$ ,  $\text{B}^+$  ;  $5 \times 10^{15} \text{ cm}^{-2}$ )

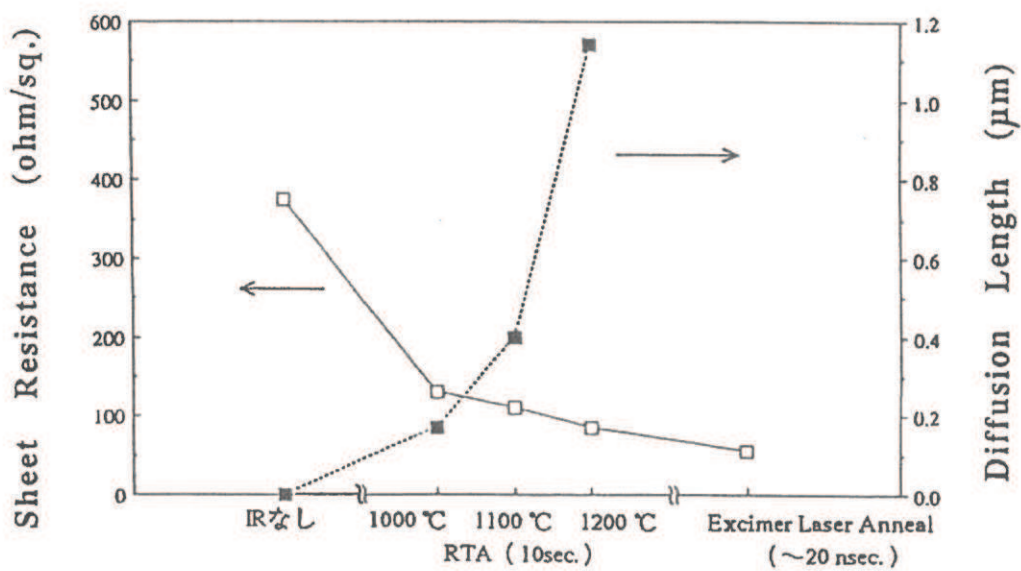


図7-16 アニール条件 (RTA、ELA) に対するシート抵抗および拡散長の関係。



### 7-3-3 結論

$\text{Si}^+ + \text{B}^+$  イオン注入による大粒径p型ポリSi膜に $1000^\circ\text{C}$ 以上の高温のRTAを施すことにより、より低抵抗化が可能になった。この効果は、RTA温度が高い程著しく、 $800\text{\AA}$ 厚のSi膜に対して、RTA ( $1200^\circ\text{C}$ 、10秒) 後、約 $90\Omega/\square$ の低いシート抵抗値が得られた。更にELAによっても同様な効果が確認された。TEM解析より、RTA後、ポリSi膜中の結晶粒内の結晶性が改善されていることが確認された。このことより、RTAによる低抵抗化効果は、結晶性の向上および急冷効果によりポリSi中のB原子の活性化率が向上したためと考えられる。本技術は、短時間アニールのため拡散長も抑えられ、LSIのめざす微細化に適し、薄膜デバイスのソース、ドレイン電極、配線などへの応用が期待される。

## 第8章 結 言

### 8-1 結言

低温固相成長技術とエキシマレーザーアニールの実験的検討を行い、Si 薄膜トランジスタの高性能化に関して研究を行ってきた。これにより、高移動度を得るための大粒径ポリSiの形成条件、結晶性すなわちトラップ密度の弱反転特性に与える条件、また600℃前後の低温プロセスにおいて問題となる膜質に関する解析を行い、その対策を論じてきた。現在、薄膜Si MOSFET (TFT) としてはアモルファス (a-) Si TFTとポリSi TFTが実用化している。ポリSi TFTは、本論文でも述べたように高移動度のため高速化が可能であり、またCMOSも構成できる利点があるために期待されており、その特性の高性能化について論じた。このポリSi TFTの応用としては、ガラス基板上のLSI (LCD、ラインセンサ、プリンターヘッドなど) と3次元超LSI的な応用 (スタックSRAMなど) の2つが、大きな技術の流れである。

ガラス上に作られるLSIでは、熱歪みを抑えるため、および低コスト化の要求により低温プロセス化が求められている。低温化プロセスとしては、本論文で述べたようにエキシマレーザーを補助的に使うことで可能になる。大面積も同時に実現するためには、エキシマレーザーを位置的にずらしながら走査する方法が考えられるが、そのパルスビーム端での不均一性の問題は解決されていない。小型のものでは、LCDビューファインダー (ビデオカメラ) がある。この場合、ELAが非常に有利なプロセスになる。一方、現在のガラス上LCD応用では高耐圧が要求され、また一般にその面積も大きいため、比較的緩い寸法精度で設計されている。(≥5 μmルール) このため、第4、5章で述べた大粒径固相成長法は大きな期待がかけられ研究開発も盛んになってきている。大面積化に関しては、現在a-Si TFTの方がより有利なプロセスであるが、高速CMOS化が不可能であり、周辺走査回路部を一体化した完全モノリシック化は不可能である。今後、高解像度テレビ、高解像度コンタクト型ラインセンサー (G4規格ファクシミリ) などの出現により、ますますモノリシック化は要求されていくと考えられる。エキシマレーザー装置も、年々大出力化がすすんでいるが、パルスエネルギー的にまだまだ不足である。一方、最近、UV光アークランプアニール装置が開発されており期待されている。このようなランプによれば、均一性に優れるために低温化プロセスとしては



ELAに劣るが大面積化には有利であろう。よって、低温化プロセスでかつ大面積モノリシックを実現するには、たとえばLCDにおいて、大面積占有する画素部をa-SiTFTで作り周辺部をELAによるポリSiTFTでつくるのが有利であろう。同様に、コンタクト型ラインセンサーでは、センサー部をa-Siで、また走査部をELAによるポリSiTFTでつくればよい。周辺のためのELAは、面積も小さくてエネルギー的にも有利になり、第6章で述べた方法による走査しないステップ&リピート方式で対応できるため、高解像度化、大面積化、低温プロセス化および高生産性を同時に実現できるのではないかと考えられる。

3次元超LSI的应用では、その超微細寸法のため、チャネル寸法が粒径の値にちかくなり、特に特性の均一性が重要になってくる。よって第6章で述べたような小粒径のTFTが望まれる。しかし、今後、完全なシード制御、すなわち結晶粒内にすべてのトランジスタを形成できれば、特性の向上も望めるために、より有利になってくる。この場合も、粒内の微小欠陥の低減及びソース、ドレインのアニールとして下地（接合、配線など）に影響を与えないエキシマレーザーのような高温短時間アニール技術は、3次元高性能LSIプロセスとして重要になってくる。

以上のように、今後ポリSiTFT技術は、Siウエハ内に作るMOSFETだけでは不可能な用途が実現可能となり、一層重要になってゆく。SRAM、LCD、ラインセンサだけでなく、プリンターヘッド、EL（エレクトロルミネッセンス）パネル、3次元機能ICなど広範に発展してゆくものと考えられる。

## 8-2 謝辞

最後に、本論文作成にあたり、終始御教授と御指導を賜った同志社大学工学部、谷口一郎教授に深く感謝の意を表します。ご理解、御指導をいただいた大鉢忠教授、大田建久教授および森山英隆助手に感謝いたします。また本論文をまとめるにあたり、御理解をいただいた鈴木俊治氏、島田喬氏をはじめ、激励していただいた碓井節夫氏、前川敏一氏、河村明士氏および共同研究者の林久雄氏、田島和浩氏他多くのソニー（株）の社員の方々に感謝いたします。



# 参考文献

## 第1章

- 1-1. J.Bardeen and W.H.Brattain, Phys.Rev.74(1948)230.
- 1-2. D.Kahng and G.L.Pearson, IRE Solid-State Device Research Conference, Carnegie Inst.of Tech.,Pittsburgh(1960).
- 1-3. P.K.Weimer,F.V.Shallcross,and H.Borkan, RCA Rev.241(1963)661.
- 1-4. W.E.Spear, J.Non-Cryst.Solids1(1969)197.
- 1-5. S.Morozumi et al.,SID '83 Digest(1983)156.
- 1-6. Satwinder D.S.Malhi et al., Transact. on Electron Dev. ED-32(1985)258.
- 1-7. J.Y.W.Seto, J.Appl.Phys.46(1975)5247.

## 第2章

- 2-1. N.F.Mott, Phil.Mag.19(1969)835.
- 2-2. M.H.Brodsky, "Amorphous Semiconductor" by P.Nagels, (1979)125.
- 2-3. P.G.Le Comber and W.E.Spear, Phys.Rev.Lett.25(1970)509.
- 2-4. J.Bardeen and W.Shockley, Phys.Rev.30(1950)72.
- 2-5. Gerhard Dorda, "Surface Quantization in Semiconductors"(1973).
- 2-6. S.M.Sze, "Physics of Semiconductor Devices"(1969).
- 2-7. M.Y.Darwish,M.E.Roulet and P.K.Schwob, IEEE Trans.Ele.Dev.ED-25(1978)885.
- 2-8. J.G.Fossum, A.Ortiz-Conde, H.Shichijo and S.K.Banjerjee, IEEE Trans.Ele.Dev.ED-32(1985)1878.

## 第3章

- 3-1. T.Noguchi,H.Hayashi and T.Ohshima, Jpn.J.Appl.Phys.24(1985)L434.
- 3-2. Ch.Kuhl,H.Schlotter and .Schwedefsky, J.Electrochem.Soc.,Solid State Science

and Technology 121 (1974) 1496.

3-3. G.Bacarani and B.Ricco and G.Spadini, J.Appl.Phys. 49 (1978) 5565.

3-4. S.M.Hu, J.Appl.Phys. 45 (1974) 1567.

3-5. H.Hayashi, T.Noguchi and T.Ohshima, Jpn.J.Appl.Phys. 23 (1984) L819.

#### 第4章

4-1. T.Noguchi, H.Hayashi and T.Ohshima, J.Electrochem.Soc., Solid State Science and Technology 134 (1987) 1771.

4-2. R.B.Iverson and R.Reif, J.Appl.Phys. 57 (1985) 5169.

4-3. H.R.Philipp and E.A.Taft, Phys.Rev. 120 (1960) 37.

4-4. N.F.Mott, J.Non-Cryst.Solids, 1 (1968) 1.

4-5. J.Stuke, "Proceeding of the 6th International Conference on Amorphous and Liquid Semiconductors" Leningrad (1975) 193.

4-6. M.Negishi, T.Ohshima, T.Noguchi and H.Hayashi, "Proceedings of the 29th Symposium on Semiconductor and IC's Technology" Tokyo (1985) 97.

4-7. T.Noguchi, T.Ohshima and H.Hayashi, Jpn.J.Appl.Phys. 28 (1989) 146.

#### 第5章

5-1. T.Noguchi, H.Hayashi and T.Ohshima, Jpn.J.Appl.Phys. 25 (1986) L121.

5-2. Y.Hirai, Y.Osada, T.Komatsu, S.Omata and T.Nakagiri,  
J.Appl.Phys.Lett. 42 (1983) 701.

5-3. Kwizera and R.Reif, Appl.Phys.Lett. 41 (1982) 379.

5-4. C.H.Seager and G.H.Ginley, Appl.Phys.Lett. 34 (1979) 337.

5-5. T.I.Kamins and Marcoux, IEEE Ele.Dev.Lett. (1980) 159.

5-6. T.Ohshima, T.Noguchi and H.Hayashi, Jpn.J.Appl.Phys. 25 (1986) L291.

5-7. T.Noguchi, H.Hayashi and T.Ohshima, Mat. Res. Soc. Symp. Proc. 106 (1988) 293.

5-8. S.D.S.Malhi, H.Shichi jo, S.K.Banerjee, R.Sundersan, M.Elahy, G.P.Pollack,  
W.F.Richardson, A.H.Shah, L.R.Hite, R.H.Womack, P.K.Chatterjee and H.W.Lam, IEEE  
J.Solid. State Circuits SC-20 (1985) 178.

- 5-9. K.L. Chiang, C.J. Dell'Oca and F.N. Schmettmann, J. Electrochem. Soc. Solid State Science and Technology 126 (1979) 2267.
- 5-10. T. Maekawa, T. Ohshima, M. Negishi, H. Hayashi and T. Matsushita, IEDM Washinton D. C. (1987).
- 5-11. T. Noguchi and Y. Kanaishi, IEEE Ele. Dev. Lett. 10 (1989) 543.
- 5-12. Y. Hayashi, H. Hayashi, M. Yagino, M. Negishi and T. Matsushita, ISSCC San Francisco (1987).
- 5-13. H.-C. Lee, J. Appl. Phys. Lett. 38 (1981) 770.
- 5-14. P.G. Le Comber and W.E. Spear, Phys. Rev. Lett. 25 (1970) 509.

## 第6章

- 6-1. S.E. Ready et al., Mat. Res. Soc. Symp. Proc. 149 (1989) 345.
- 6-2. R.F. Wood, C.W. White and R.T. Young, "Semiconductors and semimetals" 23 (1984) 116.
- 6-3. D.H. Lowndes, G.E. Jellison, Jr., S.J. Pennycook, S.P. Withrow and D.N. Mashburn, Appl. Phys. Lett. 48 (1986) 1389.
- 6-4. Y. Morita and T. Noguchi, Jpn. J. Appl. Phys. 28 (1989) 1309.
- 6-5. M.O. Thompson, G.J. Galvin and J.W. Mayer, Phys. Rev. Lett. 52 (1984) 2360.
- 6-6. J.J. Ewing and C.A. Brav., Appl. Phys. Lett. 27 (1975) 375.
- 6-7. T. Noguchi, K. Tajima and Y. Morita, Mat. Res. Soc. Symp. Proc. 146 (1989) 35.
- 6-8. R.B. Iverson and R. Reif, Appl. Phys. Lett. 52 (1988) 645.
- 6-9. I. Mizushima, W. Tabuchi and H. Kuwano, Jpn. J. Appl. Phys. 27 (1988) 2310.
- 6-10. M.K. Hatalis and D.W. Greve, J. Appl. Phys. 63 (1988) 2260.
- 6-11. A. Chiang, T.Y. Huang, I-W. Wu and M.H. Zarzycki, Mat. Res. Soc. Symp. Proc. 106 (1988) 305.
- 6-12. D.H. Londes, G.E. Jellison, Jr., S.J. Pennycook, S.P. Withrow and D.M. Mashburn, Appl. Phys. Lett. 48 (1986) 1389.
- 6-13. J. Narayan, C.W. White, M.J. Aziz, B. Stritzker and A. Walthuis, J. Appl. Phys. 57 (1985) 564.
- 6-14. H. Yamamoto, H. Ishiwara and S. Furukawa, Appl. Phys. Lett. 46 (1985) 268.



- 6-15. M.Anndo et al., IEEE J.Solid State Circuits 24(1989)1708.
- 6-16. T.Kato, IEEE Trans.Ele.Dev.35(1988)923.
- 6-17. N.Yamauchi et al., IFDM89(1989)353.
- 6-18. Satwinder D.S.Malhi et al., IEEE Trans.Ele.Dev.ED-32(1985)258.
- 6-19. R.F.Wood,C.W.White and R.T.Young, "Semiconductors and semimetals"  
23(1984)336.
- 6-20. T.Noguchi,H.Tsukamoto,T.Suzuki and H.Masuya, Extended Abstracts of the  
International Conference on SSDM(1991)620.

## 第7章

- 7-1. Y.Wada and S.Nishimatsu, J.Electrochem.Soc.125(1978)1499.
- 7-2. Nikkei Micro-Device, vol.9, No.39(1988)123.
- 7-3. Y.Wada and S.Nishimatsu, "Resistivity lowering limitations of heavily doped  
polycrystalline silicon", Denki Kagaku, 47(1979)118.

## 付録

- 1. Harbeke et al., RCA Rev.44(1983)19.
- 2. The Toray Research Center News, 15(1986)4.
- 3. A.Yabe, Kagakuizai, 7(1987)20.

# 付 録

## 1. UV (紫外) 反射特性について

結晶Siの室温における反射スペクトルを測定すると、図1-Aのように、約4.4 eV (280 nm) において極大ピークをもつ<sup>1)</sup>。このピークは、図6-1の吸収係数 $\alpha$ に対応しており、図1-Bに示すBrillouin 帯の $X_1 - X_4$  間のバンド間遷移吸収によるものである<sup>4-3)</sup>。このピークの出現は結晶構造が形成されていることを示しており、アモルファス(非晶質)においてはピークは現れない。クリスタルSi、ポリSi、アモルファスSiの各場合に対する結果は、G. Harbecke等<sup>1)</sup>、およびCh. Kuhl等<sup>3-2)</sup>によってすでに報告されている。

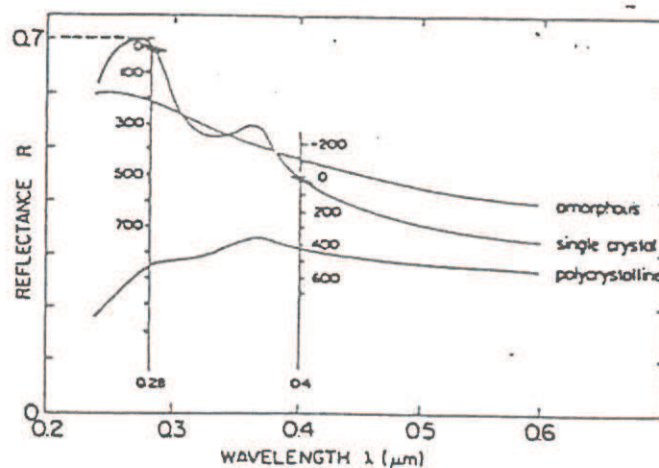


図1-A 結晶Si、表面が荒れたポリSi、平坦なa-Siの波長に対する反射率<sup>1)</sup>。

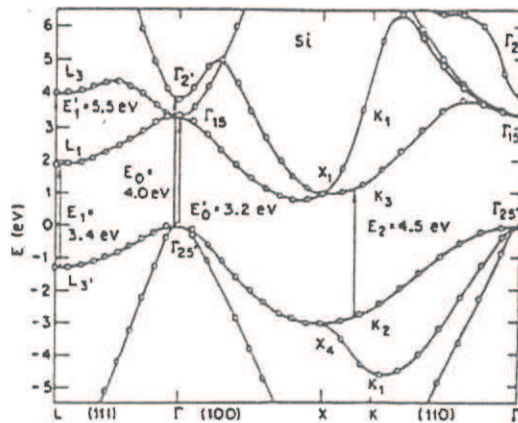


図1-B Siのエネルギーギャップ近くのエネルギーバンド $E_n(k)$ の  
擬ポテンシャル計算<sup>4-3)</sup>。

ポリSiでは、その結晶粒はさまざまな形をとるが反射ピークの大きさよりSi薄膜表面近くの結晶性（粒径、欠陥など）を評価することが出来ることになる。すなわち、100Å前後の粒径の場合、ピークは小さく、1000Å以上の場合大きく現れる。また同じ粒径では、高温アニールした膜ほど欠陥密度が低くなりピークは小さくなる。よって、この粒径および結晶性を反映するピークの面積の、結晶Si（ウェハ）の反射ピーク面積の比を結晶化度(Degree of crystallization)と定義する。(図4-6、図6-4他) すなわち、a-Siでは0%、c-Siでは100%である。一方、この紫外(UV)域の反射率で上記のピークをはずしたベース反射値より、式(5-5)で示したように表面荒さ、すなわち表面平坦性が評価できる。



## 2. ESR (電子スピン共鳴) <sup>2)</sup>

常磁性体材料を強度 ( $H_0$ ) の静磁場中におくと、電子スピンのエネルギーは縮退がとけ、図2-Aのように二つの準位に分裂する。これをZeeman効果という。

$$E_1 = -1/2 \cdot g \beta H_0 \quad (2-a)$$

$$E_2 = 1/2 \cdot g \beta H_0 \quad (2-b)$$

$\beta$  : ボーア磁子、  $\beta = q h / 2 m c$

$g$  : Lande' s 因子。 (材料に固有の値)

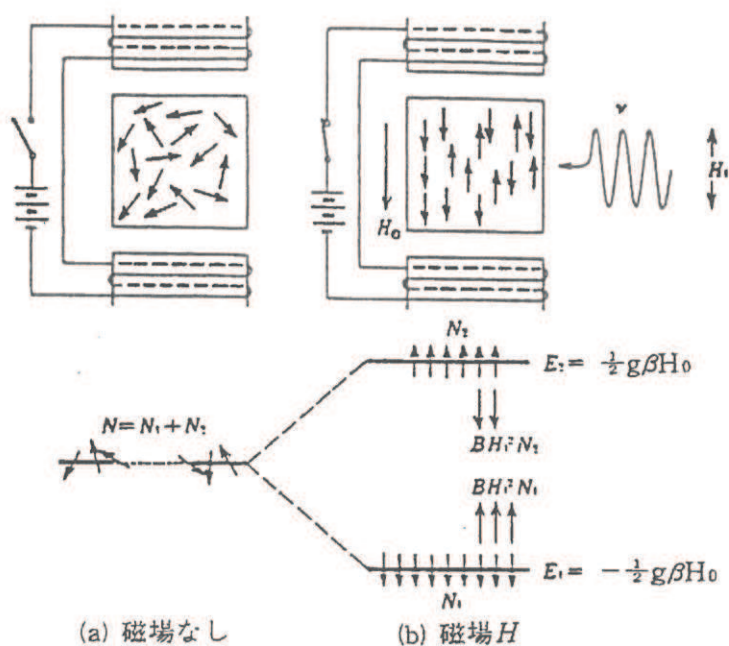


図2-A ESRの原理。

そこで、二つの準位の間隔に等しいエネルギー（電磁波に相当）を与えると吸収が起こる。これが電子スピン共鳴である。

$$h\nu = g\beta H \quad (2-c)$$

ESRで測定される原子は不対原子をもつものに限られる。たとえば、IV族である共有結合のSiでは、結晶内の不純物、格子欠陥である。測定では、通常Xバンド（ $\sim 9.2\text{ GHz}$ ）の周波数帯が使われる。図2-BにESR測定系を示す。

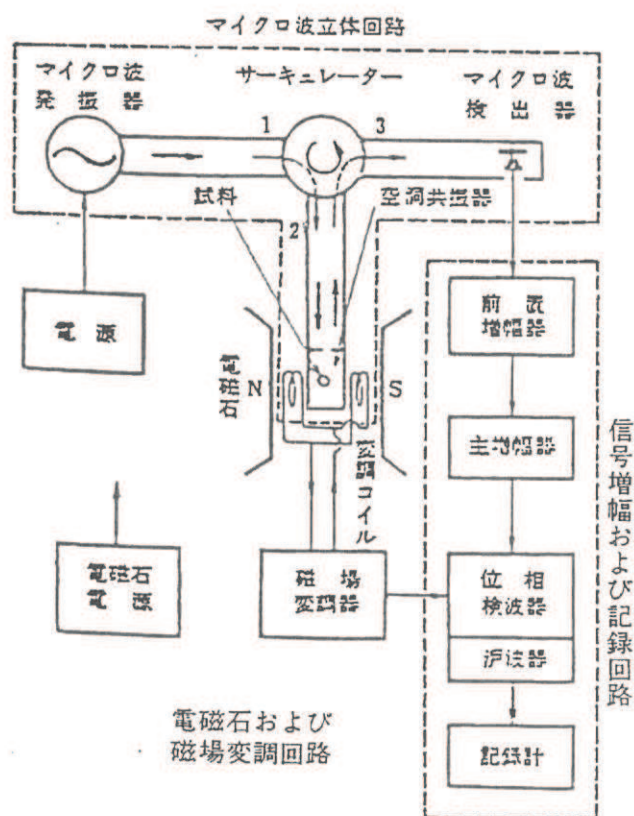


図2-B ESR測定装置の略図。

### 3. エキシマレーザー<sup>3)</sup>

不活性な希ガスKrは、通常は活性なハロゲン原子とも結合せず、解離性のポテンシャルエネルギー曲線で示されるが、放電励起によりKr原子は最外殻の8個の電子の内の1個が更に外殻の軌道に移り、アルカリ金属に似た電子配置をとり、F原子と結合したKrFエキシマ{(KrF)\*で示す}を作る。(KrF)\*の寿命は短く、直ちに基底状態とのエネルギー準位差( $\Delta E = h\nu$ )に相当する光を発する。この発光を自然放出でなく誘導放出するためには、非常に強い励起密度による反転分布とする必要があり、電子ビームや効率的な放電によって可能になる。希ガスとしてはKr、ハロゲンガスとしてはClもよく用いられる。KrF: 248 nm、XeCl: 308 nmがエネルギー効率がよくアニールによく使われている。また半導体プロセスにおいては、リソグラフィ、光CVDにもKrF、ArF: 193 nmによる発振が試行されている。

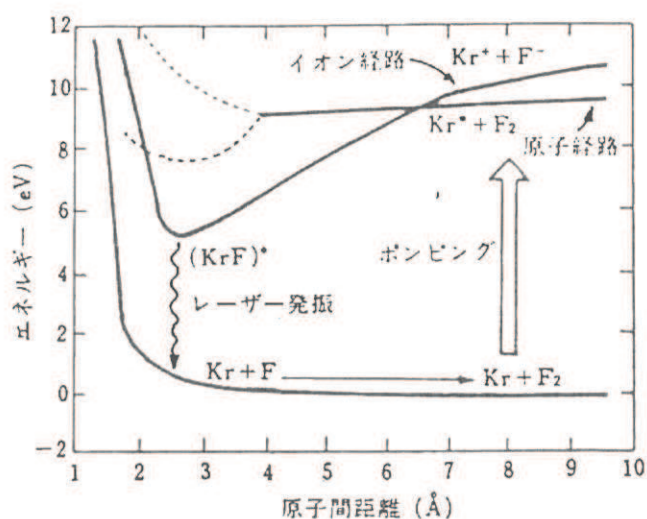


図3-A KrFエキシマレーザーの発振機構。



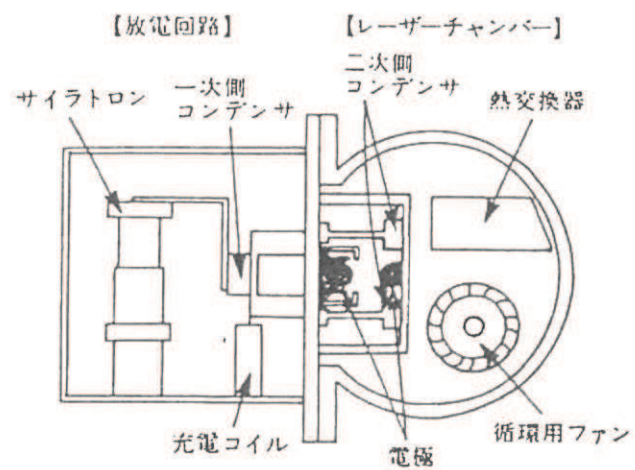


図3-B エキシマレーザー発振装置の具体的な構造。

